

## 明 細 書

## 半導体集積回路装置の製造方法

## 5 技術分野

本発明は、半導体集積回路装置の製造技術に関し、特に、半導体ウエハ上に回路パターン  
の形成がほぼ完了した後、半導体ウエハの裏面を研削するバックグラインドから、  
半導体ウエハを1個1個のチップに切り分けるダイシング、さらにチップをピックアップ  
して基板に搭載するダイボンディングまでの半導体集積回路装置の製造に適用して有  
10 効な技術に関するものである。

## 背景技術

例えば、日本特開2003-179023号公報には、ウエハ背面に対し実施される  
背面研削処理およびエッチング処理を効率よく実施するため、回路形成面に保護テープ  
15 が貼着されたウエハの背面をバックグラインディング処理するグラインダ装置と、この  
グラインダ装置でバックグラインディングされた背面をバックサイドエッチング処理す  
るバックサイドエッチング装置と、ウエハをダイシングテープに転写すると共に保護テ  
ープをウエハから剥離させる転写装置とをインライン化した構成が開示されている。

また、例えば、日本特開2003-133395号公報（米国公開第2003/07  
20 7854号）には、外枠と、この外枠内に設けられており内部にエアーが供給されるこ  
とにより形状変形させつつ体積を増減するゴム膜体とを設けており、ゴム膜が体積を増  
大する際に、ウエハとゴム膜との間に配設されたテープをその中央から外側に向け漸次  
ウエハに向け押圧するよう形状変形する構成とされたウエハ固定用治具を用いて、貼付  
け工程、バックグラインド工程、テープ貼替え工程、ピックアップ工程、ダイボンディ  
25 ング工程を実施する技術が開示されている。

また、例えば、日本特開2003-152058号公報（米国公開第2003/08  
8959号）には、保護テープに対して紫外線を照射する第1の紫外線照射ユニットと  
、ウエハを位置決めする位置決めユニットと、リングフレームと一体化するマウントユ  
ニットと、保護テープをウエハ表面より剥離する保護テープ剥離ユニットと、ダイシン

グテープに対して紫外線を照射する第2の紫外線照射ユニットとを備えたウエハ転写装置が開示されている。

#### 発明の開示

- 5      半導体ウエハをバックグラインドし、この半導体ウエハをダイシングにより各チップに個片化し、個片化されたチップを基板に搭載するダイボンディングまでの製造工程は、以下のごとく進行する。

- 10      まず、半導体ウエハの回路形成面に粘着テープを貼り付けた後、半導体ウエハをグラインダ装置に装着し、回転する研削材を押し当てて半導体ウエハの裏面を研削することにより、半導体ウエハの厚さを所定の厚さまで薄くする（バックグラインド工程）。続いてウエハマウント装置にて半導体ウエハの裏面をリング状のフレームに固定されたダイシングテープに貼り付けると共に、半導体ウエハの回路形成面から粘着テープを剥離する（ウエハマウント工程）。

- 15      次に、半導体ウエハを所定のスクライブラインで切断し、半導体ウエハを各チップに個片化する（ダイシング工程）。個片化されたチップは、突き上げピンによりダイシングテープを介してその裏面が押圧され、これによりチップはダイシングテープから剥離される。突き上げピンと対向する上部にはコレットが位置しており、剥離されたチップはコレットにより吸着されて保持される（ピックアップ工程）。その後、コレットに保持されたチップは基板へ搬送されて、基板上の所定の位置に接合される（ダイボンディング工程）。

- 20      ところで、電子機器の小型化、薄型化が進むなかで、それに搭載されるチップの薄型化が要求されている。また、近年、複数のチップを積層して1つのパッケージに搭載する積層型半導体集積回路装置が開発されており、チップの薄型化への要求はますます高まっている。このため、バックグラインド工程では、半導体ウエハの厚さを、例えば100  $\mu\text{m}$ 未満とする研削が行われている。研削された半導体ウエハの裏面は、非晶質層／多結晶質層／マイクロクラック層／原子レベル歪み層（応力漸移層）／純粹結晶層からなり、このうち非晶質層／多結晶質層／マイクロクラック層が破碎層（または結晶欠陥層）である。この破碎層の厚さは、例えば1～2  $\mu\text{m}$ 程度である。

半導体ウエハの裏面に上記破碎層があると、半導体ウエハを個片化したチップの抗折

強度（チップに単純曲げ応力を加えた時、チップが破壊する時点の同応力値）が低下するという問題が生ずる。この抗折強度の低下は、厚さが100  $\mu$ m未満のチップにおいて顕著に現れる。そこで、バックグラインドに続いてストレスリリースを行い、破碎層を除去して半導体ウエハの裏面を鏡面とすることにより、チップの抗折強度の低下を防

- 5 いでいる。ストレスリリースでは、例えばドライポリッシュ法、CMP（Chemical Mechanical Polishing）法またはケミカルエッチ法などが用いられる。すなわち、ストレスリリースには、固定砥粒による研削で不可避免的に発生する破碎層（それにともなって単結晶との界面に原子レベルひずみ層が発生する）を非固定砥粒系の研削または研磨、すなわち浮遊砥粒と研磨パッド（ドライポリッシュでは浮遊砥粒は用いない）によるポリッシュ法や薬液によるウェットエッチング等が適用される。
- 10

- ところが、半導体ウエハの裏面の破碎層を除去すると、半導体ウエハの裏面に付着した汚染不純物、例えば銅（Cu）、鉄（Fe）、ニッケル（Ni）またはクロム（Cr）などの重金属不純物が容易に半導体ウエハ内へ浸入してしまう。汚染不純物はガス配管やヒータ線など、あらゆる半導体製造装置に混入しており、またプロセスガスも汚染
- 15 不純物の汚染源となりうる。半導体ウエハの裏面から浸入した汚染不純物は、さらに半導体ウエハ内を拡散して、回路形成面近くの結晶欠陥に引き寄せられる。回路形成面近くにまで拡散した汚染不純物は、例えば禁制帯中にキャリアの捕獲準位を形成し、また酸化シリコン／シリコン界面に固溶した汚染不純物は、例えば界面準位を増加させる。その結果、汚染不純物に起因する半導体素子の特性不良が生じて、半導体製品の製造歩
- 20 留まりの低下が引き起こる。例えば半導体不揮発性メモリであるフラッシュメモリでは、汚染不純物に起因したErase/Write時の不良セクタが多くなり、救済セクタ数が足りずに特性不良が発生する。また、例えば一般のDRAM（Dynamic Random Access Memory）および疑似SRAM（Static Random Access Memory）では、汚染不純物に起因したRefresh特性やSelf Refresh特性の劣化等のリーク系不良が発生する。フラッシュ
- 25 系のメモリではデータリテンション（Data Retention）不良が発生する。

すなわち、バックグラインド後のストレスリリースによって、チップの抗折強度を確保することができるが、このストレスリリースでは破碎層が無くなるため、半導体ウエハの裏面からの汚染不純物の侵入に対するゲッタリング効果が低下する。回路形成面付近まで汚染不純物の拡散が進むと半導体素子の特性が変動して動作不良となる場合があ

る。半導体ウエハの裏面に破碎層を残しておく、この破碎層によって半導体ウエハの裏面に付着した汚染不純物の浸入をくい止めることができるが、チップの抗折強度の低下を防ぐことができない。

5 本実施の形態に開示された一つの発明の一つの目的は、汚染不純物に起因する半導体製品の製造歩留まりの低下を抑えることのできる技術を提供することにある。

本実施の形態に開示された一つの発明の一つの目的は、チップの抗折強度の低下を防いで、半導体製品の製造歩留まりの向上を実現することのできる技術を提供することにある。

10 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

すなわち、本願に開示された一つの発明は、半導体ウエハを薄膜化する際、その裏面に、例えば厚さ0.5  $\mu\text{m}$ 未満、0.3  $\mu\text{m}$ 未満または0.1  $\mu\text{m}$ 未満の相対的に薄いゲッタリング機能を持つ破碎層が形成され、かつ、半導体ウエハを分割あるいはほぼ分割して（回転ブレードによるダイシングに限定されない。例えばレーザーによる分割等が可能である。）チップ化した後の抗折強度が確保されるように、固定砥粒を有する研削材で半導体ウエハの裏面を研削するものである。

また、本願に開示された他の一つの発明は、半導体ウエハを薄膜化する際、固定砥粒を有する研削材で半導体ウエハの裏面を研削することで形成された破碎層を除去し（ストレスリリース）、半導体ウエハを分割あるいはほぼ分割してチップ化した後の抗折強度を確保し、その後、半導体ウエハの裏面に、例えば厚さ0.5  $\mu\text{m}$ 未満、0.3  $\mu\text{m}$ 未満または0.1  $\mu\text{m}$ 未満の相対的に薄いゲッタリング機能を持つ破碎層を改めて形成するものである。

25 上記した発明によれば、薄膜化された半導体ウエハを分割あるいはほぼ分割しチップ化した後の抗折強度を確保しつつ、半導体ウエハの裏面からの汚染不純物の浸入を防ぎ、さらに半導体ウエハの回路形成面への汚染不純物の拡散を防いで、半導体素子の特性不良の発生を抑えることができる。固定砥粒を有する研削剤で破碎層を形成する場合は、プロセスが容易である。一方、ストレスリリース後に改めて破碎層を形成する場合は、チップの抗折強度を向上させることができる。

また、以下に本願において開示される発明のうち、他の代表的なものを項に分けて説

明すれば、次のとおりである。

1. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 第1の厚さを有する半導体ウェハの第1の主面上に回路パターンを形成する工程；

5 (b) 固定砥粒を有する第1研削材を用いて前記半導体ウェハの第2の主面を研削し、前記半導体ウェハを第2の厚さとする工程；

(c) 前記第1研削材よりも粒子径が小さい固定砥粒を有する第3研削材を用いて前記半導体ウェハの前記第2の主面を研削し、前記半導体ウェハを第4の厚さとし、前記半導体ウェハの前記第2の主面に第2破碎層を形成する工程；

10 (d) 前記半導体ウェハをダイシングし、前記半導体ウェハをチップに個片化する工程。

2. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 第1の厚さを有する半導体ウェハの第1の主面上に回路パターンを形成する工程；

15 (b) 固定砥粒を有する第1研削材を用いて前記半導体ウェハの第2の主面を研削し、前記半導体ウェハを第2の厚さとする工程；

(c) 前記第1研削材よりも粒子径が小さい固定砥粒を有する第2研削材を用いて前記半導体ウェハの前記第2の主面を研削し、前記半導体ウェハを第3の厚さとし、前記半導体ウェハの前記第2の主面に第1破碎層を形成する工程；

20 (d) 前記半導体ウェハの前記第2の主面の前記第1破碎層を除去する工程；

(e) 前記半導体ウェハの前記第2の主面に第3破碎層を形成する工程；

(f) 前記半導体ウェハをダイシングし、前記半導体ウェハをチップに個片化する工程。

また、以下に本願において開示される発明のうち、他の代表的なものを項に分けて説

25 明すれば、次のとおりである。

1. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 第1の厚さを有する半導体ウェハの第1の主面上に回路パターンを形成する工程；

(b) 固定砥粒を有する第1研削材を用いて前記半導体ウェハの第2の主面を研削し、

前記半導体ウエハを第2の厚さとする工程；

(c) 前記第1研削材よりも粒子径が小さい固定砥粒を有する第2研削材を用いて前記半導体ウエハの前記第2の主面を研削し、前記半導体ウエハを第3の厚さとする工程；

(d) 前記半導体ウエハをダイシング（チップ領域に分離）し、前記半導体ウエハをチップに個片化する工程、

ここで、前記第2研削材の研磨微粉の粒度は#3000から#100000である。

2. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 第1の厚さを有する半導体ウエハの第1の主面上に回路パターンを形成する工程；

10 (b) 固定砥粒を有する第1研削材を用いて前記半導体ウエハの第2の主面を研削し、前記半導体ウエハを第2の厚さとする工程；

(c) 前記第1研削材よりも粒子径が小さい固定砥粒を有する第2研削材を用いて前記半導体ウエハの前記第2の主面を研削し、前記半導体ウエハを第3の厚さとし、前記半導体ウエハの前記第2の主面に第1破碎層を形成する工程；

15 (d) 前記半導体ウエハの前記第2の主面の前記第1破碎層を除去する工程；

(e) 前記半導体ウエハの前記第2の主面に第2破碎層を形成する工程；

(f) 前記半導体ウエハをダイシング（チップ領域に分離）し、前記半導体ウエハをチップに個片化する工程。

3. 本願に開示された一つの発明は、半導体集積回路装置の製造方法において、最終  
20 の裏面研削を主要な固定砥粒径がほぼ4ミクロンから6ミクロンの研削材またはそれよりも微細な研削材を用いることにより、裏面に非完全結晶層を残し、不純物トラップ層として利用するものである。

1. 上記項3において、主要な固定砥粒径がほぼ2ミクロンから4ミクロンまたはそれよりも微細である。

25 2. 上記項3において、主要な固定砥粒径がほぼ0.5ミクロン前後またはそれよりも微細である。

3. 上記項3において、主要な固定砥粒径がほぼ2ミクロンまたはそれよりも微細である。

4. 上記項3において、主要な固定砥粒径がほぼ1ミクロンまたはそれよりも微細

である。

5. 上記項3において、主要な固定砥粒径がほぼ0.5ミクロンまたはそれよりも微細である。
6. 本願に開示された一つの発明は、半導体集積回路装置の製造方法において、裏面研削後に、一度破碎層（第1破碎層）を実質的に除去し、再度新たに破碎層（第2破碎層）を付加するものである。
7. 上記項10において、前記第2破碎層の厚さは前記第1破碎層の厚さよりも薄い。
8. 上記項10または11において、前記第1破碎層および前記第2破碎層は異なるやり方で生成される。
9. 上記項10または11において、前記第1破碎層および前記第2破碎層は同様なやり方（たとえば異なる粒径の固定砥粒を用いた研削で形成される）で生成される。

#### 図面の簡単な説明

- 15 図1は、半導体集積回路装置の製造方法の工程図である。
- 図2は、半導体集積回路装置の製造工程中の要部側面図である。
- 図3は、半導体ウエハの裏面側部分の要部拡大断面図である。
- 図4は、半導体ウエハの裏面側部分の要部拡大断面図である。
- 図5（a）、（b）および（c）は、それぞれチップの抗折強度と半導体ウエハの裏面の仕上がり粗さとの関係を示すグラフ図、半導体ウエハの裏面の仕上がり粗さと研削材の粒子径との関係を示すグラフ図、破碎層の厚さと研削材の粒子径との関係を示すグラフ図である。
- 20 図6は、図2に続く半導体集積回路装置の製造工程中の要部側面図である。
- 図7は、図6に続く半導体集積回路装置の製造工程中の要部側面図である。
- 25 図8は、図7に続く半導体集積回路装置の製造工程中の要部側面図である。
- 図9は、図8に続く半導体集積回路装置の製造工程中の要部側面図である。
- 図10は、図9に続く半導体集積回路装置の製造工程中の要部側面図である。
- 図11は、図10に続く半導体集積回路装置の製造工程中の要部側面図である。
- 図12は、図11に続く半導体集積回路装置の製造工程中の要部側面図である。

図 1 3 は、図 1 2 に続く半導体集積回路装置の製造工程中の要部側面図である。

図 1 4 は、図 1 3 に続く半導体集積回路装置の製造工程中の要部側面図である。

図 1 5 は、図 1 4 に続く半導体集積回路装置の製造工程中の要部側面図である。

5 図 1 6 は、半導体集積回路装置の製造方法におけるバックグラインドからウエハマウントまでで用いる一貫処理装置の説明図である。

図 1 7 は、半導体集積回路装置の製造方法の工程図である。

図 1 8 の (a) , (b) および (c) は、それぞれ半導体集積回路装置の製造方法におけるドライポリッシュ法、CMP 法およびスピネッチ法によるストレスリリースを説明する装置の説明図である。

10 図 1 9 は、半導体ウエハの裏面側部分の要部拡大断面図である。

図 2 0 は、半導体集積回路装置の製造方法におけるバックグラインドからウエハマウントまでで用いる他の一貫処理装置の説明図である。

図 2 1 は、固定砥粒の要部断面図である。

## 15 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の

形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。

また、以下の実施の形態において、半導体ウエハと言うときは、Si（シリコン）単結晶ウエハを主とするが、そのみではなく、SOI（Silicon on Insulator）ウエハ、集積回路をその上に形成するための絶縁膜基板等を指すものとする。その形も円形またはほぼ円形のみでなく、正方形、長方形等も含むものとする。さらに、ガス、固体または液体の部材に言及するときは、そこに明示された成分を主要な成分の一つとするが、特にそのように明記した場合または原理的に明らかな場合を除き、その他の成分を除外するものではない。

また、固定砥粒を有する研削材の代表例は、いわゆる砥石であり、研削材である複数の微細な砥粒と、その複数の砥粒を結合する結合材とを有する構成とされている。固定砥粒の要部断面図の一例を図21に示す。符号50はダイヤモンド等からなる砥粒、符号51は結合材を示している。結合材には、長石および可溶性粘土などの混合物、良質の合成樹脂（合成ゴムや天然ゴム以外のもの）等がある。固定砥粒を有する研削材を用いた研削工程では、砥粒が固定されており、半導体ウエハの研削される面（被研削面）に機械的力が加わるので、半導体ウエハの被研削面に破碎層が形成される。本実施の形態の1つの研削処理は、これを応用したもので固定砥粒を有する研削材を用いて半導体ウエハの被研削面に上手く破碎層を形成するようにしている。固定砥粒に対して浮遊砥粒がある。浮遊砥粒は、スラリ等に含まれる研磨粉のことで、この浮遊砥粒を用いた場合は、砥粒が固定されていないので半導体ウエハの被研磨面に破碎層が形成されないのが普通である。いわゆるポリッシングは、研磨布のみで研磨（ドライポリッシュ）する場合を含めて、破碎層を形成しない点で、便宜上、この浮遊砥粒を用いた研磨に分類される。

#### （実施の形態1）

本実施の形態1による半導体集積回路装置の製造方法を図1から図15を用いて工程順に説明する。図1は半導体集積回路装置の製造方法の工程図、図2および図6から図15は半導体集積回路装置の製造工程中の要部側面図、図3および

図4は半導体集積回路装置の裏面側部分の要部拡大断面図、図5 (a), (b) および (c) は、それぞれチップの抗折強度と半導体ウエハの裏面の仕上がり粗さとの関係を示すグラフ図、半導体ウエハの裏面の仕上がり粗さと研削材の粒子径との関係を示すグラフ図、破碎層の厚さと研削材の粒子径との関係を示すグラフ図である。また、図16はバックグランドからウエハマウントまでで用いる一貫処理装置の説明図である。なお、以下の説明では、半導体ウエハ上に回路パターンを形成した後のバックグランドから基板上に個片化したチップを接合するダイボンディング、さらに積層された複数のチップを樹脂などで保護する封止などの各工程について説明する。

- 10 まず、半導体ウエハの回路形成面（第1の主面）に集積回路を形成する（図1の集積回路形成工程P1）。半導体ウエハはシリコン単結晶からなり、その直径は、例えば300mm、厚さ（第1の厚さ）は、例えば700 $\mu$ m以上（ウエハ工程への投入時の値）である。

- 次に、半導体ウエハ上に作られた各チップの良・不良を判定する（図1のウエハテスト工程P2）。まず、半導体ウエハを測定用ステージに載置し、集積回路の電極パッドにプローブ（探針）を接触させて入力端子から信号波形を入力すると、出力端子から信号波形が出力される。これをテスターが読み取ることによりチップの良・不良が判定される。ここでは、集積回路の全電極パッドに合わせてプローブを配置したプローブカードが用いられ、プローブカードからは各プローブに対応する信号線が出ており、テスターに接続されている。不良と判断されたチップには、不良のマーキングが打たれる。

- 20 次に、半導体ウエハの回路形成面に粘着テープ(Pressure-Sensitive adhesive tape)を貼り付ける（図1の粘着テープ貼着工程P3）。ここで粘着テープは自己剥離型テープ、すなわちUV硬化型(UV cure type)でも熱硬化型でもEB硬化型でもよいし、非UV硬化型感圧接着テープ、すなわちUV硬化型でも熱硬化型でもEB硬化型でもない一般の粘着テープ（非自己剥離型テープ）でもよい。非自己剥離型テープの場合は、自己剥離性は利用できないが、ウエハの回路形成面に紫外線（エネルギー線照射または加熱）を照射する場合に発生する不揮発性メモリ等のメモリ系回路への書き込み情報の変化、特性シフト、ポリイミド層等の表面保護部材または配線絶縁部材等の表面特性の不  
25 所望な変化を回避することができるという長所がある。

以下では非自己剥離型テープの例について説明する。粘着テープには粘着剤が塗布されており、これにより粘着テープは半導体ウエハの回路形成面と貼着する。粘着テープは、例えばポリオレフィンを基材とし、アクリル系の粘着剤が塗布され、さらにその上にポリエステルからなる剥離材が貼られている。剥離材は、例えば離形紙であり、剥離材を剥がして粘着テープは半導体ウエハに貼り付けられる。粘着テープの厚さは、例えば130から150  $\mu\text{m}$ 、粘着力は、例えば20から30 g/20mm (20mm幅のテープが剥離する際の強度で表示) である。なお、剥離材がなく、基板の背面を離形処理した粘着テープを用いてもよい。

次に、半導体ウエハの裏面 (回路形成面と反対側の面、第2の主面) を研削して、半導体ウエハの厚さを所定の厚さ、例えば100  $\mu\text{m}$ 未満、80  $\mu\text{m}$ 未満または60  $\mu\text{m}$ 未満とし、半導体ウエハの裏面に破碎層を形成する (図1のバックグラインド工程P4)。このバックグラインドでは、以下に説明する粗研削、仕上げ研削およびファイン仕上げ研削を順次行う。

まず、図2に示すように、半導体ウエハ1の裏面を粗研削する。半導体ウエハ1をグラインダ装置に搬送し、半導体ウエハ1の回路形成面をチャックテーブル2に真空吸着した後、半導体ウエハ1の裏面に回転する第1研削材 (例えば研磨微粉の粒度#320から#360: 研磨または研削砥粒の径を表す粒度#は砥石等を製造する際のダイヤモンド砥石をふるいにかける際のふるいの目の大きさに対応する。言い換えると、主要な砥粒の径に対応する。例を示すと、#280の粒径はほぼ100  $\mu\text{m}$ 程度、#360の粒径はほぼ40から60  $\mu\text{m}$ 程度、#2000の粒径はほぼ4から6  $\mu\text{m}$ 程度、#4000の粒径はほぼ2から4  $\mu\text{m}$ 程度、#8000の粒径はほぼ0.2  $\mu\text{m}$ 程度である。本願では、これに準拠して、砥粒の径を記載する。なお、#320以下に関してはJIS規格がある。) 3を押し当てて粗研削することにより、半導体ウエハ1の厚さを所定の厚さ (第2の厚さ) まで減少させる。第1研削材は、固定砥粒を有する研削材であり、この粗研削により半導体ウエハ1は、例えば600から700  $\mu\text{m}$ 程度研削される。また、この粗研削により残る半導体ウエハ1の第2の厚さは、例えば140  $\mu\text{m}$ 未満が適切な範囲と考えられる (他の条件によってはこの範囲に限定されないことはもとよりである)。また、量産に適した範囲としては120  $\mu\text{m}$ 未満が考えられるが、さらに100  $\mu\text{m}$ 未満の範囲が最も好適と考えられる。半導体ウエハ1の回路形成面には粘着テ

ープBT-1が貼り付けてあるので、集積回路が破壊されることはない。なお、上記第1研削材の粒度範囲は一般的なプロセスでは、#100以上#700未満が適切と考えられる。

- 続いて、半導体ウェハ1の裏面を仕上げ研削する。ここでは前記図2と同様のグラインダ装置を用いて半導体ウェハ1の回路形成面をチャックテーブルに真空吸着した後、半導体ウェハ1の裏面に回転する第2研削材（例えば研磨微粉の粒度#1500から#2000）を押し当てて仕上げ研削することにより、上記粗研削時に生じた半導体ウェハ1の裏面の歪みを除去すると同時に、半導体ウェハ1の厚さを所定の厚さ（第3の厚さ）まで減少させる。第2研削材は、固定砥粒を有する研削材であり、この仕上げ研削により半導体ウェハ1は、例えば25から40 $\mu\text{m}$ 程度研削される。また、この仕上げ研削により残る半導体ウェハ1の第3の厚さは、例えば110 $\mu\text{m}$ 未満が適切な範囲と考えられる（他の条件によってはこの範囲に限定されないことはもとよりである）。また、量産に適した範囲としては90 $\mu\text{m}$ 未満が考えられるが、さらに70 $\mu\text{m}$ 未満の範囲が最も好適と考えられる。
- 図3（a）に、上記第1研削材を用いて粗研削された半導体ウェハ1の裏面側部分の要部拡大断面図を示し、同図（b）に、上記第2研削材を用いて仕上げ研削された半導体ウェハ1の裏面側部分の要部拡大断面図を示す。粗研削では、半導体ウェハ1の裏面の純粋結晶層上に原子レベル歪み層および破碎層（非晶質層／多結晶質層／マイクロクラック層）が形成される。さらに、仕上げ研削においても、半導体ウェハ1の裏面の純粋結晶層上に原子レベル歪み層および破碎層（非晶質層4a／多結晶質層4b／マイクロクラック層4c；第1の層）4が形成されるが、純粋結晶層、原子レベル歪み層および第1破碎層4の厚さは、それぞれ粗研削後の純粋結晶層、原子レベル歪み層および破碎層の厚さよりも薄くなる。この第1破碎層4の厚さは、例えば2 $\mu\text{m}$ 未満が適切な範囲と考えられる（他の条件によってはこの範囲に限定されないことはもとよりである）。
- また、量産に適した範囲としては1 $\mu\text{m}$ 未満が考えられるが、さらに0.5 $\mu\text{m}$ 未満の範囲が最も好適と考えられる。

続いて、半導体ウェハ1の裏面をファイン仕上げ研削する。ここでは前記図2と同様のグラインダ装置を用いて半導体ウェハ1の回路形成面をチャックテーブルに真空吸着した後、半導体ウェハ1の裏面に回転する第3研削材を押し当ててファイン仕上げ研削

することにより、半導体ウエハ1の厚さを所定の厚さ（第4の厚さ）まで減少させる。  
第3研削材も、固定砥粒を有する研削材であり、このファイン仕上げ研削により半導体  
ウエハ1は、例えば3から5  $\mu\text{m}$ 程度研削される。また、このファイン仕上げ研削によ  
り残る半導体ウエハ1の第4の厚さは、例えば100  $\mu\text{m}$ 未満が適切な範囲と考えられ  
5 る（他の条件によってはこの範囲に限定されないことはもとよりである）。また、量産  
に適した範囲としては80  $\mu\text{m}$ 未満が考えられるが、さらに60  $\mu\text{m}$ 未満の範囲が最も  
好適と考えられる。上記第3研削材の研磨微粒の粒度は、例えば#3000から#10  
0000が適切な範囲と考えられる（他の条件によってはこの範囲に限定されないこと  
はもとよりである）。また、量産に適した範囲としては#4000から#50000が  
10 考えられるが、さらに#5000から#20000の範囲が最も好適と考えられる。本  
実施の形態1では、例えば#8000またはそれ以上を使用しており、この第3研削材  
の研磨微粒の粒度の下限は、チップの抗折強度を考慮して決められ、その上限はゲッタ  
リング効果を考慮して決められている。

図4に示すように、上記ファイン仕上げ研削では、半導体ウエハ1の裏面の純粋結晶  
15 層上に原子レベル歪み層および第2破碎層（非晶質層5a／多結晶質層5b／マイクロ  
クラック層5c；第2の層）5が形成され、原子レベル歪み層および第2破碎層5のそ  
れぞれの厚さは、それぞれ仕上げ研削後の原子レベル歪み層および第1破碎層4の厚さ  
よりも薄く形成される。半導体ウエハ1の裏面に、例えば純粋なシリコン結晶構造部分  
が露出した場合は、半導体ウエハ1の裏面に汚染不純物、例えば重金属不純物などが付  
20 着すると、容易に半導体ウエハ1へ浸入してしまう。半導体ウエハ1に浸入した汚染不  
純物は、半導体ウエハ1内を拡散して半導体ウエハ1の回路形成面へ達し、回路形成面  
に形成された半導体素子の特性不良を引き起こす問題がある。そこで、本実施の形態1  
では、あえて半導体ウエハ1の裏面上に第2破碎層5を形成し、汚染不純物が第2破碎  
層5によって捕獲されるようにしている。これにより、半導体ウエハ1への汚染不純物  
25 の浸入および拡散を抑えることができる。重金属の中でもCuは、その拡散係数が  
 $6.8 \times 10^{-2} / \text{sec}$  (at 150°C) であり他の重金属の拡散係数（例えばFeの拡散  
係数は  $2.8 \times 10^{-13} / \text{sec}$  (at 150°C)）と比して高く、半導体ウエハ1の回  
路形成面へ達しやすいことから、半導体素子の特性不良を引き起こす主な汚染不純物の  
1つであると考えられる。このCuの侵入源には、例えばダイシングテープの接着材層

やダイボンディング用の接着材層を挙げることができる。これら接着材層中には、種々の不純物や異物（フィラー）とともに微量のCuが混入している場合があり、しかもこれら接着材層は半導体ウエハ1やチップの裏面に直接接することからCuの浸入は容易である。

- 5       ところで、例えば図5（a）に示すように、チップ抗折強度のmin値は半導体ウエハ1の裏面の仕上がり粗さが小さくなるに従い、すなわち研削材の研磨微粉の粒度（たとえば日本工業規格JIS R 6001参照）が大きくなるに従い大きくなり、半導体ウエハ1の裏面を、例えばドライポリッシュにより鏡面仕上げした時にチップ抗折強度のmin値は最大値となる。これは、図5（b）に示すように、研削材の研磨微粉の粒度
- 10       が大きくなるに従い、研削材に付着する砥石のダイヤモンド粒子の粒子径が小さくなり、半導体ウエハ1の裏面（仕上がり面）の粗さが小さくなることによる。さらに言えば、図5（c）に示すように、上記仕上がり面の粗さが小さくなることにより破碎層の厚さが薄くなって、これがチップの抗折強度の向上をもたらす。しかし、ゲッタリング効果を持つ上記破碎層の厚さが薄くなるに従いゲッタリング効果は低下し、例えばド
- 15       ライポリッシュにより半導体ウエハ1の裏面を鏡面仕上げした時には、このゲッタリング効果が無くなるため、半導体ウエハ1の裏面から汚染不純物が浸入し、半導体ウエハ1の回路形成面へ拡散して、半導体素子の特性不良が発生する。このため、第3研削材を用いたファイン仕上げ研削では、チップの抗折強度とゲッタリング効果とをある程度両立することのできる第2破碎層5の厚さおよび仕上がり粗さを選択することが必要で
- 20       ある。

- これらのことを踏まえて、上記第2破碎層5の厚さは、例えば0.5  $\mu\text{m}$ 未満（すなわち、チップの抗折強度を確保するためには比較的厚めの方が有利である）が適切な範囲と考えられる（他の条件によってはこの範囲に限定されないことはもとよりである）。また、量産に適した範囲としては0.3  $\mu\text{m}$ 未満が考えられるが、さらに0.1  $\mu\text{m}$ 未
- 25       満（汚染不純物の浸入および拡散を防ぐことのできる下限値以上であれば問題ないからである）の範囲が最も好適と考えられる。なお、ここで第2破碎層5の厚さとは、例えば膜厚測定計を用いて半導体ウエハ1内の複数箇所（例えば5点または10点）における第2破碎層5の厚さを測定し、その複数箇所（例えば5点または10点）の平均値から求めた平均の厚さ（例えば図4に示すd1）である。

また、上記第2破碎層5の仕上がり粗さ（例えば第2破碎層5の表面の最大振幅）は、例えば0.1  $\mu\text{m}$ 未満が適切な範囲と考えられる。また、量産に適した範囲としては0.05  $\mu\text{m}$ 未満が考えられるが、さらに0.01  $\mu\text{m}$ 未満の範囲が最も好適と考えられる。なお、ここで第2破碎層5の仕上がり粗さとは、例えば表面粗さ計を用いて半導体

5 ウエハ1内の複数箇所（例えば5点または10点）における第2破碎層5の表面の最大振幅（例えば図4に示す $r_1$ ）を測定し、その複数箇所（例えば5点または10点）の平均値から求めた平均の粗さである。ドライポリッシュによる仕上がり粗さは、例えば、ほぼ0.0001  $\mu\text{m}$ と等価である。

このように、上記バックグランドにより、半導体ウエハ1の厚さを、例えば100

10  $\mu\text{m}$ 未満、80  $\mu\text{m}$ 未満または60  $\mu\text{m}$ 未満に研削し、半導体ウエハ1の裏面上に相対的に薄い第2破碎層5、例えば0.5  $\mu\text{m}$ 未満、0.3  $\mu\text{m}$ 未満または0.1  $\mu\text{m}$ 未満の厚さの第2破碎層5を形成することにより、チップの抗折強度を低下させることなく、同時に半導体ウエハ1の裏面からの汚染不純物の浸入を防いで、汚染不純物に起因した半導体素子の特性不良を防ぐことができる。これにより、半導体製品の製造歩留まりの

15 低下を抑えることができる。しかも、バックグランド工程において、大きく異なるような工程を追加することもないのでプロセスの単純化が可能である。

なお、上記バックグランドでは、第1研削材（例えば研磨微粉の粒度#320から#360）、第2研削材（例えば研磨微粉の粒度#1500から#2000）および第3研削材（例えば研磨微粉の粒度#3000から#100000）の3つの研削材を用

20 いて半導体ウエハ1の裏面を順次研削することにより、半導体ウエハ1を所定の厚さ（第4の厚さ）まで薄くし、さらに半導体ウエハ1の裏面上に第2破碎層5を形成したが、例えば第1研削材（例えば研磨微粉の粒度#320から#360）および第3研削材（例えば研磨微粉の粒度#3000から#100000）の2つの研削材を用いて半導体ウエハ1の裏面を順次研削することもできる。これにより、さらにバックグランド

25 工程の単純化が可能である。以下に、第1研削材（例えば研磨微粉の粒度#320から#360）および第3研削材（例えば研磨微粉の粒度#3000から#100000）の2つの研削材を用いたバックグランドについて説明する。

まず、前述した第1研削材3を用いた粗研削と同様にして、半導体ウエハ1の裏面を粗研削することにより、半導体ウエハ1の厚さを所定の厚さ（第2の厚さ）まで減少さ

せる。

- 続いて、半導体ウエハ1の裏面をファイン仕上げ研削する。ここでは前記図2と同様のグラインダ装置を用いて半導体ウエハ1の回路形成面をチャックテーブルに真空吸着した後、半導体ウエハ1の裏面に回転する第3研削材を押し当ててファイン仕上げ研削することにより、半導体ウエハ1の厚さを所定の厚さ（第4の厚さ）まで減少させる。
- 前述した第2研削材（例えば研磨微粉の粒度#1500から#2000）を用いた仕上げ研削を行っていないので、このファイン仕上げ研削により半導体ウエハ1は、例えば25～40 $\mu$ m程度研削されて、半導体ウエハ1の第4の厚さは、例えば100 $\mu$ m未満、80 $\mu$ m未満または60 $\mu$ m未満となる。また、半導体ウエハ1の裏面上に、例えば0.5 $\mu$ m未満、0.3 $\mu$ m未満または0.1 $\mu$ m未満の厚さの第2破碎層5が形成される。

- 次に、半導体ウエハ1を洗浄し、乾燥させた後（図1の洗浄・乾燥工程P5）、図6に示すように、半導体ウエハ1をダイシングテープDT1に貼り替える（図1のウエハマウント工程P6）。まず、ウエハ搬送治具により半導体ウエハ1を真空吸着し、そのままウエハマウント装置へ搬送する。ウエハマウント装置に搬送された半導体ウエハ1は、アライメント部へ送られてノッチまたはオリフラのアライメントが行われ、その後、半導体ウエハ1はウエハマウント部へ送られてウエハマウントが行われる。ウエハマウントでは、予めダイシングテープDT1を貼り付けた環状のフレーム6を用意しておき、このダイシングテープDT1にその回路形成面を上面にして半導体ウエハ1を貼着する。ダイシングテープDT1は、例えばポリオリフィンを基材とし、アクリル系UV硬化タイプの粘着剤が塗布され、さらにその上にポリエステルからなる剥離材が貼り付けられている。剥離材は、例えば離形紙であり、剥離材を剥がしてダイシングテープDT1は半導体ウエハ1に貼り付けられる。ダイシングテープDT1の厚さは、例えば90 $\mu$ m、粘着力は、例えばUV照射前200g/25mm、UV照射後10から20g/25mmである。なお、剥離材がなく、基板の背面を離形処理したダイシングテープを用いてもよい。

次いで、半導体ウエハ1が装着されたフレーム6は粘着テープ剥離部へ送られる。ここでは、半導体ウエハ1と粘着テープBT1が剥離される。このように半導体ウエハ1をフレーム6に貼り直すのは、後のダイシング工程で半導体ウエハ1の回路形成面に形

成されているアライメントマークを基準としてダイシングを行うため、アライメントマークが形成されている回路形成面を上面とする必要がある。なお、粘着テープBT1が剥離されても、フレーム6に貼り付けられたダイシングテープDT1を介して半導体ウエハ1を固定しているので、半導体ウエハ1の反りが表面化することはない。

- 5 次に、図7に示すように、半導体ウエハ1をダイシングする（図1のダイシング工程P7）。半導体ウエハ1はチップSC1に個片化されるが、個片化された後も各チップSC1はダイシングテープDT1を介してフレーム6に固定されているため、整列した状態を維持している。まず、半導体ウエハ1をウエハ搬送治具により半導体ウエハ1の回路形成面を真空吸着し、そのままダイシング装置へ搬送し、ダイシングテーブル7上
- 10 に載置する。続いてダイヤモンド・ソーと呼ばれるダイヤモンド微粒を貼り付けた極薄の円形刃8を用いて、半導体ウエハ1をスクライブラインに沿って縦、横にカットする（ウエハの分割はレーザを用いた方法を使用しても良い。その場合は、切削幅を微少にする等の付加的なメリットがある）。

- 次に、図8に示すように、半導体ウエハ1にUVを照射する（図1のUV照射工程P8）。
- 15 8）。ダイシングテープDT1の裏面側からUVを照射して、ダイシングテープDT1の各チップSC1と接する面の粘着力を、例えば10から20g/25mm程度に低下させる。これにより各チップSC1がダイシングテープDT1から剥がれやすくなる。

- 次に、図9に示すように、図1のウエハテスト工程P2において良と判断されたチップSC1をピックアップする（図1のピックアップ工程P9）。まず、突き上げピン9
- 20 によりダイシングテープDT1を介してチップSC1の裏面を押圧し、これによりチップSC1をダイシングテープDT1から剥離する。続いてコレット10が移動して突き上げピン9と対向する上部に位置し、剥離されたチップSC1の回路形成面をコレット10により真空吸着することにより、1個ずつチップSC1をダイシングテープDT1から引き剥がしてピックアップする。UV照射によりダイシングテープDT1とチップ
- 25 SC1との接着力が弱められているため、薄く強度が低下しているチップSC1であっても、確実にピックアップすることができる。コレット10は、例えば略円筒形の外形を有し、その底部に位置する吸着部は、例えば軟質の合成ゴムなどで構成されている。

次に、図10に示すように、1段目となるチップSC1を基板11に搭載する（図1のダイボンディング工程P10）。

まず、ピックアップされたチップSC1はコレット10に吸着、保持されて、基板11上の所定位置に搬送される。続いて基板11のメッキされたアイランド（チップ搭載領域）上にペースト材12を載せて、ここにチップSC1を軽く押し付け、100から200℃程度の温度により硬化処理を行う。これによりチップSC1を基板11に貼り付ける。ペースト材11はエポキシ系樹脂、ポリイミド系樹脂、アクリル系樹脂またはシリコーン系樹脂を例示することができる。なお、ペースト材12による貼り付けの他、メッキされたアイランドにチップSC1の裏面を軽く擦り付ける、あるいはメッキしたアイランドとチップSC1との間に金テープの小片を挟み、金とシリコンとの共晶を作って接着してもよい。

- 10     ダイシングテープDT1に貼着された良品チップのダイボンディングおよび不良品チップの除去が終了すると、ダイシングテープDT1はフレーム6から剥がされ、フレーム6はリサイクルされる。

次に、図11に示すように、前記チップSC1と同様にしてチップSC2を準備し、例えば絶縁性ペースト13aを用いて1段目のチップSC1上に2段目となるチップSC2を接合し、続いて、前記チップSC1と同様にしてチップSC3を準備し、例えば絶縁性ペースト13bを用いて2段目のチップSC2上に3段目となるチップSC3を接合することにより、チップSC1、SC2およびSC3を積層する。1段目のチップSC1は、例えばマイコン、2段目のチップSC2は、例えば電気的一括消去型EEPROM (Electric Erasable Programmable Read Only Memory)、3段目のチップSC3は、例えばSRAMを例示することができる。この基板11の表面には複数個の電極パッド14が設けられ、裏面には複数個の接続パッド15が設けられており、両者は基板内配線16によって電氣的に接続されている。

次に、図12に示すように、各々のチップSC1、SC2またはSC3の表面の縁辺に配列されたボンディングパッドと、基板11の表面の電極パッド14とをボンディングワイヤ17を用いて接続する（図1のワイヤボンディング工程P11）。その作業は自動化されており、ボンディング装置を用いて行われる。ボンディング装置には、あらかじめ積層チップSC1、SC2およびSC3のボンディングパッドおよび基板11の表面の電極パッド14の配置情報が入力されており、基板11上に搭載された積層チップSC1、SC2およびSC3、その表面のボンディングパッドおよび基板11の表面

の電極パッド14の相対的位置関係を画像として取り込み、データ処理を行って正確にボンディングワイヤ17が接続される。この際、ボンディングワイヤ17のループ形状は、積層チップSC1、SC2およびSC3の周辺部に触れないよう、盛り上がった形に制御される。

- 5 次に、図13に示すように、ボンディングワイヤ17が接続された基板11を金型成形機にセットし、温度を上げ液状化した樹脂18を圧送して流し込み、積層チップSC1、SC2およびSC3を封入して、モールド成型する（図1の封止工程12）。続いて余計な樹脂18またはバリを取り除く。

- 10 次に、図14に示すように、例えば半田からなるバンプ19を基板11の裏面の接続パッド15に供給した後、リフロー処理を施してバンプ19を溶解させ、バンプ19と接続パッド15とを接続する（図1のバンプ形成工程P13）。

- その後、図15に示すように、樹脂18上に品名などを捺印し、基板11から1個1個の積層チップSC1、SC2およびSC3を切り分ける（図1の切断工程P14）。その後、仕上がった1個1個の積層チップSC1、SC2およびSC3からなる製品を  
15 製品規格に沿って選別し、検査工程を経て製品が完成する（図1の実装工程P15）。

次に、本実施の形態1であるバックグラインド（図1の工程P4）からウエハマウント（図1の工程P6）までを連続処理する一例を、図16に示す一貫処理装置の説明図を用いて説明する。

- 図16に示す一貫処理装置BGM1は、バックグラインダ部、洗浄部およびウエハマ  
20 ウント部からなる。各部には半導体ウエハ1を搬入するローダ20と搬出するアンローダ21とが備わっており、各部をスタンドアローンとして使用することもできる。また、バックグラインダ部と洗浄部との間には、両者間で半導体ウエハ1を搬送する搬送ロボット22が備わっており、同様に洗浄部とウエハマウント部との間には、両者間で半導体ウエハ1を搬送する搬送ロボット23が備わっている。

- 25 まず、バックグラインダ部のローダ20に、複数の半導体ウエハ1を搭載したフープを乗せた後、搬送ロボット24にてフープから1枚の半導体ウエハ1を取り出してバックグラインダ部の処理室R1へ搬入する。フープは半導体ウエハ1のバッチ搬送用の密閉収納容器で、通常25枚、12枚、6枚等のバッチ単位で半導体ウエハ1を収納する。フープの容器外壁は微細な通気フィルタ部を除いて機密構造になっており、塵埃はほ

ば完全に排除される。従って、クラス1000の雰囲気中で搬送しても、内部はクラス1の清浄度が保てるようになっている。装置とのドッキングは、装置側のロボットがフープの扉を装置内部に引き込むことによって清浄さを保持した状態で行われる。

次に、半導体ウエハ1をチャックテーブル25上に載置し真空吸着した後、第1研削材を用いて半導体ウエハ1の裏面を粗研削し、半導体ウエハ1の厚さを所定の厚さ（第2の厚さ）まで減少させる。続いて、第2研削材を用いて半導体ウエハ1の裏面を仕上げ研削し、半導体ウエハ1の厚さを所定の厚さ（第3の厚さ）まで減少させる。続いて、第3研削材を用いて半導体ウエハ1の裏面をファイン仕上げ研削し、半導体ウエハ1の厚さを所定の厚さ（第4の厚さ）まで減少させ、さらに半導体ウエハ1の裏面上に第2破碎層5を形成する。なお、ここでは、第1、第2および第3研削材を用いた研削を行ったが、第2研削材を用いた仕上げ研削を省略してもよい。

次に、半導体ウエハ1のバックグラインダが終わると、半導体ウエハ1を搬送ロボット22にてバックグラインダ部から搬出して洗浄部へ搬送し、さらに搬送ロボット26にて半導体ウエハ1を洗浄装置の処理室R2へ搬入し、半導体ウエハ1の純水による洗浄および乾燥が行われる。続いて、半導体ウエハ1を搬送ロボット23にて洗浄部から搬出してウエハマウント部へ搬送し、搬送ロボット27により半導体ウエハ1の裏面を真空吸着した後、半導体ウエハ1の真空吸着面を変えて、回路形成面を真空吸着する。続いて、半導体ウエハ1をウエハマウント部の処理室R3へ搬入する。ここでは環状のフレームに貼り付け固定されたダイシングテープにその回路形成面を上面にして半導体ウエハ1を貼着した後、ダイシングテープにその回路形成面を上面にして半導体ウエハ1を貼着し、粘着テープBT1を剥離する。その後、半導体ウエハ1をウエハマウント部のアンローダ21へ搬送し、ウエハマウント部から半導体ウエハ1を取り出して再びフープに戻す。

このように、一貫処理装置BGM1を用いることにより、半導体ウエハ1はバックグラインドからウエハマウントまでを短時間で処理することができる。

#### （実施の形態2）

本実施の形態2による半導体集積回路装置の製造方法を図17から図19を用いて工程順に説明する。図17は半導体集積回路装置の製造方法の工程図、図18はストレスリリース方式の説明図、図19は半導体ウエハの裏面側部分の要部

拡大断面図である。また、図20はバックグランドからウエハマウントまでで用いる一貫処理装置の説明図である。なお、前記実施の形態1と同様の工程、すなわち集積回路形成工程から粘着テープ貼着工程、および洗浄・乾燥工程から実装工程は省略し、以下の説明では、バックグランド工程から破砕層形成工程までの各工程について説明する。

- まず、半導体ウエハ1の裏面（回路形成面と反対側の面、第2の主面）を研削して、半導体ウエハ1の厚さを所定の厚さ、例えば100 $\mu$ m未満、80 $\mu$ m未満または60 $\mu$ m未満とする（図17のバックグランド工程P4）。このバックグランドでは、前記実施の形態1と同様にして粗研削および仕上げ研削を順次行う。すなわち、半導体ウエハ1の裏面に回転する第1研削材（例えば研磨微粉の粒度#320から#360）3を押し当てて粗研削することにより、半導体ウエハ1の厚さを所定の厚さ（第2の厚さ）まで減少させた後、半導体ウエハ1の裏面に回転する第2研削材（例えば研磨微粉の粒度#1500から#2000）を押し当てて仕上げ研削することにより、上記粗研削時に生じた半導体ウエハ1の裏面の歪みを除去する。
- 上記バックグランドでは半導体ウエハ1の裏面の純粋結晶層上に原子レベル歪み層および第1破砕層（非晶質層／多結晶質層／マイクロクラック層；第1の層）4が形成されるが、ストレスリリースにより第1破砕層4を除去する（図17のストレスリリース工程P5）。第1破砕層4の厚さは、例えば1から2 $\mu$ m程度であり、この第1破砕層4を除去することによってチップの抗折強度を上げることができる。なお、第1破砕層4を除去する際、原子レベル歪み層の一部を除去してもよい。

- まず、仕上げ研削を行ったグラインダ装置のチャックテーブルにその回路形成面を真空吸着された半導体ウエハ1の裏面をウエハ搬送治具により真空吸着し、チャックテーブルの真空を切ることによって半導体ウエハ1をウエハ搬送治具により保持し、そのまま半導体ウエハ1をストレスリリース装置へ搬送する。さらに半導体ウエハ1はストレスリリース装置の回転テーブルまたは加圧ヘッドにその回路形成面を真空吸着された後、ストレスリリースが施される。

このストレスリリースでは、例えば図18に示すように、ドライポリッシュ法（図18（a））、CMP法（図18（b））またはケミカルエッチ法（図18（c））が用いられる。ドライポリッシュ法は、回転テーブル28上に載せた半導体ウエハ1の裏面

を砥粒が付着した研磨布（繊維の表面に結合材によりシリカを付着させ、例えばφ400mm程度、厚さ26mm程度のパッド状に固めた布：Dry Polish Wheel）29で磨く方法である。このドライポリッシュ法は、他の方法よりもコストを安くすることができる。CMP法は半導体ウエハ1を加圧ヘッド30にて保持し、スラリー（研磨砥液）31を流しながら、プラテン（定盤）32の表面に貼り付けた研磨パッド33に半導体ウエハ1の裏面を圧着させて研磨する方法である。このCMP法は、均一な加工面を得ることができる。また、ケミカルエッチ法は、回転テーブル34上に半導体ウエハ1を載せて、フッ硝酸（ $\text{HF} + \text{HNO}_3$ ）35を用いてエッチングする方法である。このケミカルエッチ法は、除去量が多いという利点はある。

10 次に、図19に示すように、半導体ウエハ1の裏面に第3破砕層（マイクロクラック層；第3の層）36を形成する（図17の破砕層形成工程P6）。図19は、半導体ウエハ1の裏面側部分の要部断面図であり、図19（a）、（b）および（c）は、それぞれ第1研削材を用いて粗研削した半導体ウエハ1、ストレスリリーフを施した半導体ウエハ1および第3破砕層36を形成した半導体ウエハ1を示す。ストレスリリーフが  
15 終わった時点で、半導体ウエハ1の裏面に、仕上げ研削で形成された第1破砕層4が除去されて純粋なシリコン結晶構造部分が露出した場合は、半導体ウエハ1の裏面に汚染不純物、例えば重金属不純物などが付着すると、容易に半導体ウエハ1へ浸入してしまう。そこで、半導体ウエハ1の裏面を微量に再度研削して図19（c）に示すように第3破砕層36を形成し、この第3破砕層36によって半導体ウエハ1への汚染不純物の  
20 浸入および拡散を抑える。図19（c）では、純粋結晶層上に原子レベル歪み層および第3破砕層36が形成された状態が例示されている。本実施の形態2では、この第3破砕層がマイクロクラック層のみで形成されている。このように第3破砕層36がマイクロクラック層のみで形成されているので、前記実施の形態1の場合よりもチップの抗折強度を向上させることができる。

25 この第3破砕層36は、例えばミクロな結晶欠陥層であり、その厚さは、例えば0.5μm未満（すなわち、チップの抗折強度を確保するためには比較的厚めの方が有利である）が適切な範囲と考えられる（他の条件によってはこの範囲に限定されないことはもとよりである）。また、量産に適した範囲としては0.3μm未満が考えられるが、さらに0.1μm未満の範囲（汚染不純物の浸入および拡散を防ぐことのできる下限値

以上であれば問題ないからである) が最も好適と考えられる。

第3破碎層36の形成は、例えば以下に記す第1から第4の方法のいずれかにより行われる。ここでは、ストレスリリースを実施して所望のチップの抗折強度を確保し、その後、チップの抗折強度を落とさない程度の適度なダメージを半導体ウエハ1の裏面に与えることで、ゲッタリング能力を付与した第3破碎層36について説明する。

まず、ストレスリリース装置の回転テーブルまたは加圧ヘッドに真空吸着された半導体ウエハ1をウエハ搬送治具により真空吸着し、回転テーブルまたは加圧ヘッドの真空を切ることによって半導体ウエハ1をウエハ搬送治具により保持し、そのまま半導体ウエハ1を破碎層形成装置へ搬送する。破碎層形成装置に搬送された半導体ウエハ1は、例えば破碎層形成装置のチャックテーブルなどにその回路形成面を真空吸着されて、その裏面に第3破碎層36が形成される。

第1の方法は、サンドブラストにより半導体ウエハ1の裏面にミクロな結晶欠陥層（マイクロクラック層、第3破碎層36）を形成する。まず、半導体ウエハ1の裏面を露出させてマスキング材を形成する。マスキング材は、例えばリソグラフィ技術により形成されたレジストパターンを用いることができる。続いて砥粒を、例えば2から3 kg f / cm<sup>2</sup>程度に加圧した気体と共に噴射して、半導体ウエハ1の裏面に洗浄するとともに、さらにその洗浄された裏面に第3破碎層36を形成する。砥粒は、例えばSiC、アルミナであり、その粒径は、例えば数から数100 μm程度である。その後、マスキング材を除去し、半導体ウエハ1を洗浄する。

第2の方法は、例えばプラズマ放電によりイオンを生成し、このイオンを衝撃させることによって半導体ウエハ1の裏面にミクロな結晶欠陥層、すなわち損傷層（マイクロクラック層、第3破碎層36）を形成する。プラズマ条件として、使用ガスCF<sub>4</sub>またはSF<sub>6</sub>、真空度1から1.8 Torr (133.322から239.980 Pa)、温度15から20℃、時間1分程度、または使用ガスCl、真空度20から50 mTorr (2666.45から6666.12 mPa)、温度15から20℃、時間1分程度を例示することができ、この条件により、例えば厚さ2から10 nm程度の損傷層が形成される。このプラズマによる損傷層の形成方法では、プラズマにより半導体ウエハ1の裏面を洗浄することができる。さらにその洗浄された半導体ウエハ1の裏面に損傷層を形成すると同時に、損傷層の表面から汚染不純物が侵入するのを防ぐことのできるバリア

層または剥離性改善層としての絶縁膜（例えば酸化膜）または補助膜を形成できる利点がある。

第3の方法は、ストレスリリースにおいて、第1破砕層4を全て除去せずに、第1破砕層4の一部を残しておき、これをミクロな結晶欠陥層（第3破砕層36）として用いる。

第4の方法は、ストレスリリースの後に、例えばファインメッシュ砥石を用いて半導体ウエハ1の裏面を微量に再度研削して、ミクロな結晶欠陥層（第3破砕層36）を形成する。この場合は、第3破砕層36は、前記実施の形態1の第2破砕層5と同様に、非晶質層／多結晶質層／マイクロクラック層で構成される（前記図4参照）。

第5の方法は、ストレスリリースの後に、例えばレーザ光を照射して半導体ウエハ1の裏面にミクロな結晶欠陥層（第3破砕層36）を形成する。レーザマークなどの装置ではレーザ光を微小スポットに集光し、これを任意の軌跡でスキャンすることによりチップ裏面を加工（彫る）するが、この際当然結晶欠陥層ができるのと同様の原理で、レーザ光強度を適宜落とす、または例えば拡大光学系（レンズ系）で照射面積を拡大することなどにより、最適なエネルギーのレーザ光を照射、スキャンし、ウエハ裏面に必要最小限のミクロな結晶欠陥層（第3破砕層36）を形成することができる。

これらに限らず、ストレスリリースの後に、何らかの方法によりミクロな結晶欠陥層（第3破砕層36）を再形成することにより、本実施の形態2の目的は達成される。

このように、本実施の形態2によれば、バックグラインドにより形成された半導体ウエハ1の裏面上の第1破砕層（例えば厚さは $2\mu\text{m}$ 未満、 $1\mu\text{m}$ 未満または $0.5\mu\text{m}$ 未満）4は、チップの抗折強度を上げるためにストレスリリースにより除去されて、原子レベル歪み層が露出しているが、その半導体ウエハ1の裏面を微量に再度研削して第3破砕層（例えば厚さは $0.5\mu\text{m}$ 未満、 $0.3\mu\text{m}$ 未満または $0.1\mu\text{m}$ 未満）36を形成する（または第1破砕層4の一部を残す）ことにより、チップの抗折強度を低下させることなく、同時に半導体ウエハ1の裏面からの汚染不純物の浸入を防ぐことができ、さらに半導体ウエハ1の回路形成面への汚染不純物の拡散を防いで、汚染不純物に起因した半導体素子の特性不良を防ぐことができる。これにより、半導体製品の製造歩留まりの低下を抑えることができる。特に上記のように本実施の形態2では、第3破砕層36がマイクロクラック層のみで形成されているので、前記実施の形態1の場合よりも

チップの抗折強度を向上させることができる。ところで、原子レベル歪み層は複数の微細な歪みを有する構成とされているので、この原子レベル歪み層も上記ゲッタリング機能を有している。すなわち、半導体ウエハ1の裏面の純粋結晶層上に原子レベル歪み層のみが形成されているような構成（半導体ウエハ1の裏面に原子レベル歪み層が露出されているような状態）でも、汚染不純物の侵入を防ぐことができる。しかも、破碎層が非常に薄いか、または実質的に存在しないので、チップの抗折強度をさらに向上させることができる。

その後、前記実施の形態1と同様にして、洗浄・乾燥工程P7、ウエハマウント工程P8、ダイシング工程P9、UV照射工程P10、ピックアップ工程P11、ダイボンディング工程P12などを順次経て、例えば前記図15に示す製品が完成する。

次に、本実施の形態2であるバックグラインド（図17の工程P4）からウエハマウント（図17の工程P8）までを連続処理する一例を、図20に示す一貫処理装置の説明図を用いて説明する。

図20に示す一貫処理装置BGM2は、バックグラインダ部、ドライポリッシュ部、プラズマ放電部およびウエハマウント部からなる。ここではストレスリリースにドライポリッシュ法を例示したが、CMP法またはケミカルエッチ法などを用いてもよい。また、ここでは第3破碎層36の形成にプラズマ放電（前記第1の方法）を例示したが、第3破碎層36を形成する他の方式を用いてもよい。例えばサンドブラスト部、ファイナメッシュ砥石部などにプラズマ放電部を置き換えることができる。また、この一貫処理装置BGM2では、洗浄部をプラズマ放電部のウエハ払い出し領域に設けている。

各部には半導体ウエハ1を搬入するローダ37と搬出するアンローダ38が備わっており、各部をスタンドアローンとして使用することもできる。また、バックグラインダ部とドライポリッシュ部との間には、両者間で半導体ウエハ1を搬送する搬送ロボット39が備わっており、同様にドライポリッシュ部とプラズマ放電部との間、プラズマ放電部とウエハマウント部との間には、それぞれ両者間で半導体ウエハ1を搬送する搬送ロボット40、41が備わっている。

まず、バックグラインダ部のローダ37に、複数の半導体ウエハ1を搭載したフープを乗せた後、搬送ロボット42にてフープから1枚の半導体ウエハ1を取り出してバックグラインダ部の処理室R4へ搬入する。続いて、半導体ウエハ1をチャックテーブル

4 3 上に載置し真空吸着した後、半導体ウエハ 1 の裏面を粗研削し、半導体ウエハ 1 の厚さを所定の厚さ（第 2 の厚さ）まで減少させる。続いて、第 2 研削材を用いて半導体ウエハ 1 の裏面を仕上げ研削し、半導体ウエハ 1 の厚さを所定の厚さ（第 3 の厚さ）まで減少させる。ここで、半導体ウエハ 1 の裏面には第 1 破碎層 4 が形成されている。

- 5 次に、半導体ウエハ 1 のバックグランドが終わると、半導体ウエハ 1 を搬送ロボット 3 9 にてバックグランド部から搬出してドライポリッシュ部へ搬送し、さらに搬送ロボット 4 4 にて半導体ウエハ 1 をドライポリッシュ部の処理室 R 5 へ搬入する。半導体ウエハ 1 をチャックテーブル 4 5 上に載置し真空吸着した後、半導体ウエハ 1 の裏面から第 1 破碎層 4 を除去する。

- 10 次に、半導体ウエハ 1 のドライポリッシュが終わると、半導体ウエハ 1 を搬送ロボット 4 0 にてドライポリッシュ部から搬出してプラズマ放電部へ搬送し、さらに搬送ロボット 4 6 にて半導体ウエハ 1 をプラズマ放電部の処理室 R 6 へ搬入する。ここで、半導体ウエハ 1 の裏面にミクロな結晶欠陥層（第 3 破碎層 3 6）を形成する。

- 次に、プラズマ放電部の払い出し領域に設けられた洗浄部にて半導体ウエハ 1 の純粋による洗浄が終わると、半導体ウエハ 1 を搬送ロボット 4 1 にてプラズマ放電部から搬出してウエハマウント部へ搬送し、搬送ロボット 4 7 により半導体ウエハ 1 の裏面を真空吸着した後、半導体ウエハ 1 の真空吸着面を変えて、回路形成面を真空吸着する。続いて半導体ウエハ 1 をウエハマウント部の処理室 R 7 へ搬入する。ここでは環状のフレームに貼り付け固定されたダイシングテープにその回路形成面を上面にして半導体ウエハ 1 を貼着した後、ダイシングテープにその回路形成面を上面にして半導体ウエハ 1 を貼着し、粘着テープ B T 1 を剥離する。その後、半導体ウエハ 1 をウエハマウント部のアンローダ 3 8 へ搬送し、ウエハマウント部から半導体ウエハ 1 を取り出してフープに戻す。

- 25 このように、一貫処理装置 B G M 2 を用いることにより、半導体ウエハ 1 はバックグランドからウエハマウントまでを短時間で処理することができ、さらにストレスリリース後、続けて半導体ウエハ 1 の裏面に第 3 破碎層 3 6 が形成されることから、半導体ウエハ 1 の裏面からの汚染不純物の浸入を防ぐことができる。

なお、前記実施の形態 1 および 2 はそれぞれ別項に記載したが、技術的に言って前者と後者は全く別個の発明ではなく、相互に密接に関連しており、例えば多くの場合、前

者の例で後者の目的が達成されることは言うまでもない。また、逐一記載しないが、本実施の形態中には、前者の対策と後者の対策を重ねて適用することを含むことは言うまでもない。また、前者内、または後者内（またはその両方内の）の類似の対策を重ねて適用することを含むことは言うまでもない。

- 5     以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

- 10    例えば、半導体ウエハの裏面に破碎層を形成する方法として、前記実施の形態2では第1から第4の方法を例示したが、これに限定されるものではなく、半導体ウエハの裏面からの汚染不純物の浸入を防ぐことのできる他の技術も適用することができる。

#### 産業上の利用可能性

- 15    本発明は、半導体ウエハ上に回路パターンを形成し、チップを1個1個検査する前工程の後に行われ、チップを製品に組み立てる後工程に適用することができる。

## 請 求 の 範 囲

1. 以下の工程を含む半導体集積回路装置の製造方法；
  - (a) 第1の厚さを有する半導体ウェハの第1の主面上に回路パターンを形成する工程
  - 5 ;
  - (b) 固定砥粒を有する第1研削材を用いて前記半導体ウェハの第2の主面を研削し、前記半導体ウェハを第2の厚さとする工程；
  - (c) 前記第1研削材よりも粒子径が小さい固定砥粒を有する第3研削材を用いて前記半導体ウェハの前記第2の主面を研削し、前記半導体ウェハを第4の厚さとし、前記半
  - 10 導体ウェハの前記第2の主面に第2破碎層を形成する工程；
  - (d) 前記半導体ウェハをダイシングし、前記半導体ウェハをチップに個片化する工程を含み、  
前記第3研削材の研磨微粉の粒度は#3000から#100000である。
2. 請求項1記載の半導体集積回路装置の製造方法において、前記第1研削材の研磨微
- 15 粉の粒度は#100から#700である。
3. 請求項1記載の半導体集積回路装置の製造方法において、前記第3研削材の研磨微粉の粒度は#4000から#50000である。
4. 請求項1記載の半導体集積回路装置の製造方法において、前記第3研削材の研磨微粉の粒度は#5000から#20000である。
- 20 5. 請求項1記載の半導体集積回路装置の製造方法において、前記第3研削材の研磨微粉の粒度は#8000またはそれ以上である。
6. 請求項1記載の半導体集積回路装置の製造方法において、前記第2破碎層の厚さは1  $\mu$ m未満である。
7. 請求項1記載の半導体集積回路装置の製造方法において、前記第2破碎層の厚さは
- 25 0.5  $\mu$ m未満である。
8. 請求項1記載の半導体集積回路装置の製造方法において、前記第2破碎層の厚さは0.1  $\mu$ m未満である。
9. 請求項1記載の半導体集積回路装置の製造方法において、前記半導体ウェハの前記第4の厚さは100  $\mu$ m未満である。

10. 請求項1記載の半導体集積回路装置の製造方法において、前記半導体ウエハの前記第4の厚さは80  $\mu$ m未満である。
11. 請求項1記載の半導体集積回路装置の製造方法において、前記半導体ウエハの前記第4の厚さは6.0  $\mu$ m未満である。
- 5 12. 請求項1記載の半導体集積回路装置の製造方法において、前記工程(b)と前記工程(c)との間に、さらに以下の工程を含む：
- (e) 前記第1研削材よりも粒子径が小さく、前記第3研削材よりも粒子径が大きい固定砥粒を有する第2研削材を用いて前記半導体ウエハの前記第2の主面を研削し、前記半導体ウエハを前記第2の厚さよりも薄く、前記第4の厚さよりも厚い第3の厚さとする工程。
- 10 13. 請求項12記載の半導体集積回路装置の製造方法において、前記第2研削材の研磨微粉の粒度は#1500から#2000である。
14. 以下の工程を含む半導体集積回路装置の製造方法；
- (a) 第1の厚さを有する半導体ウエハの第1の主面上に回路パターンを形成する工程
- 15 ；
- (b) 固定砥粒を有する第1研削材を用いて前記半導体ウエハの第2の主面を研削し、前記半導体ウエハを第2の厚さとする工程；
- (c) 前記第1研削材よりも粒子径が小さい固定砥粒を有する第2研削材を用いて前記半導体ウエハの前記第2の主面を研削し、前記半導体ウエハを第3の厚さとし、前記半
- 20 導体ウエハの前記第2の主面に第1破碎層を形成する工程；
- (d) 前記半導体ウエハの前記第2の主面の前記第1破碎層を除去する工程；
- (e) 前記半導体ウエハの前記第2の主面に第3破碎層を形成する工程；
- (f) 前記半導体ウエハをダイシングし、前記半導体ウエハをチップに個片化する工程。
- 25 15. 請求項14記載の半導体集積回路装置の製造方法において、前記第1研削材の研磨微粉の粒度は#100から#700である。
16. 請求項14記載の半導体集積回路装置の製造方法において、前記第2研削材の研磨微粉の粒度は#1500から#2000である。
17. 請求項14記載の半導体集積回路装置の製造方法において、前記第3破碎層の厚

さは0.5  $\mu\text{m}$ 未満である。

18. 請求項14記載の半導体集積回路装置の製造方法において、前記第3破碎層の厚さは0.3  $\mu\text{m}$ 未満である。

5 19. 請求項14記載の半導体集積回路装置の製造方法において、前記第3破碎層の厚さは0.1  $\mu\text{m}$ 未満である。

20. 請求項14記載の半導体集積回路装置の製造方法において、前記半導体ウエハの前記第4の厚さは100  $\mu\text{m}$ 未満である。

21. 請求項14記載の半導体集積回路装置の製造方法において、前記半導体ウエハの前記第4の厚さは80  $\mu\text{m}$ 未満である。

10 22. 請求項14記載の半導体集積回路装置の製造方法において、前記半導体ウエハの前記第4の厚さは60  $\mu\text{m}$ 未満である。

23. 請求項14記載の半導体集積回路装置の製造方法において、前記工程(e)は、以下の下位の工程を含む：

15 (e1) 前記半導体ウエハの前記第2の主面に砥粒を噴射して、前記半導体ウエハの前記第2の主面に前記第3破碎層を形成する工程。

24. 請求項14記載の半導体集積回路装置の製造方法において、前記工程(e)は、以下の下位の工程を含む：

(e1) 前記半導体ウエハの前記第2の主面にプラズマ放電により生ずるイオンを衝撃させて、前記半導体ウエハの前記第2の主面に前記第3破碎層を形成する工程。

20 25. 請求項14記載の半導体集積回路装置の製造方法において、前記工程(e)は以下の下位の工程を含む：

(e1) 前記半導体ウエハの前記第2の主面を研削して、前記半導体ウエハの前記第2の主面に前記第3破碎層を形成する工程。

25 26. 請求項14記載の半導体集積回路装置の製造方法において、前記工程(d)は以下の工程を含む：

(d1) 前記半導体ウエハの前記第2の主面に形成された前記第1破碎層を、一部を残して除去し、残された前記第1破碎層を前記工程(e)の前記第3破碎層とする工程。

図 1

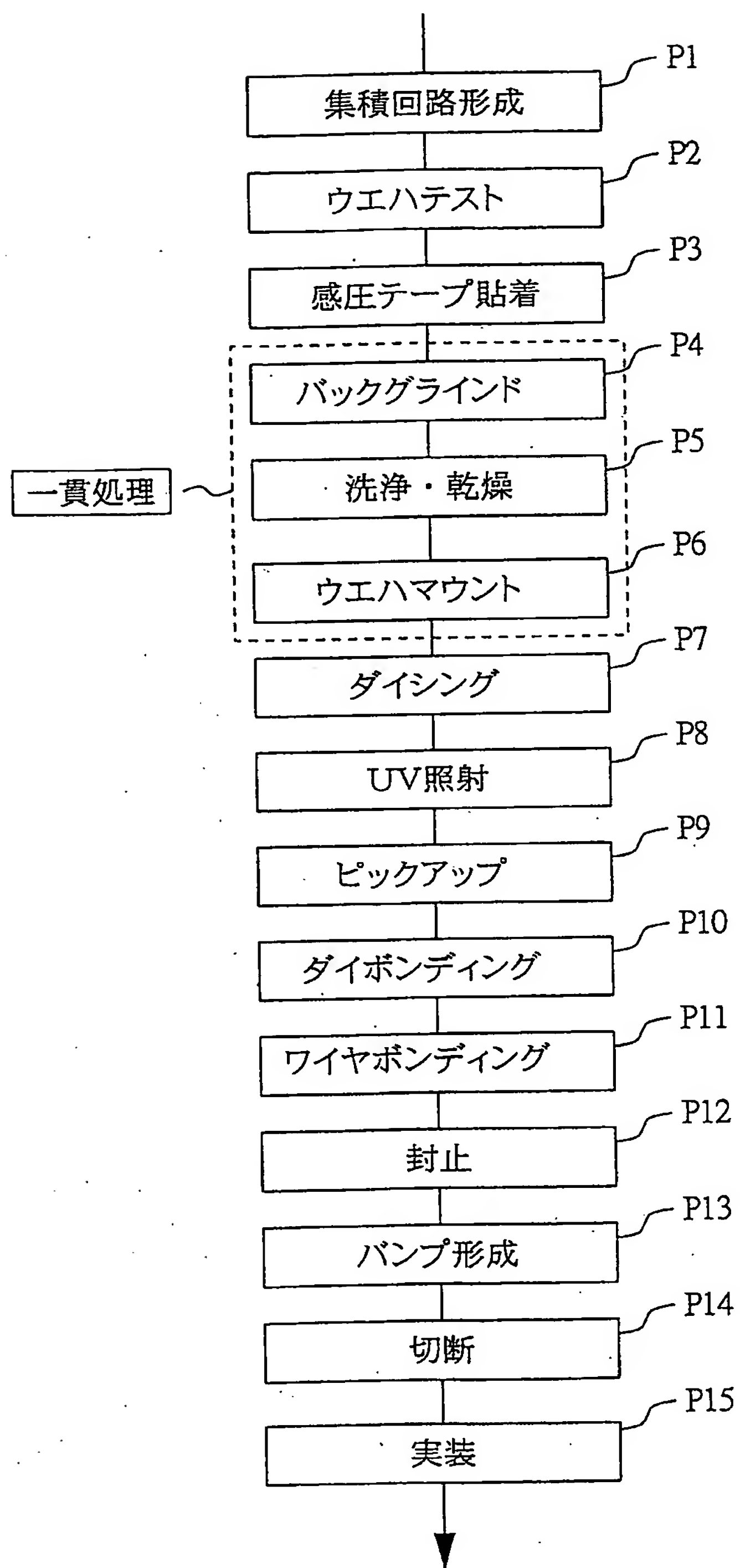


図 2

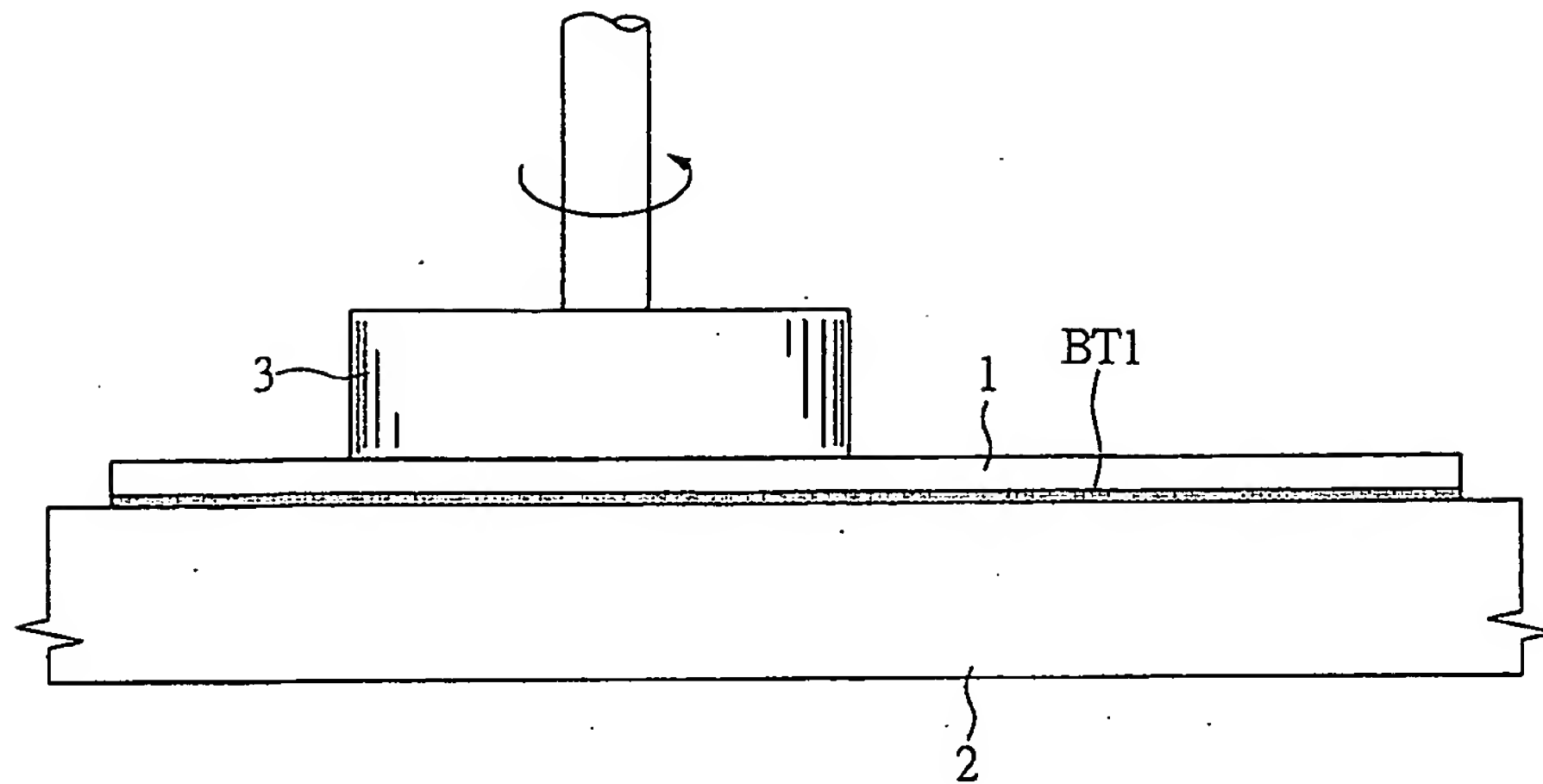


図 3

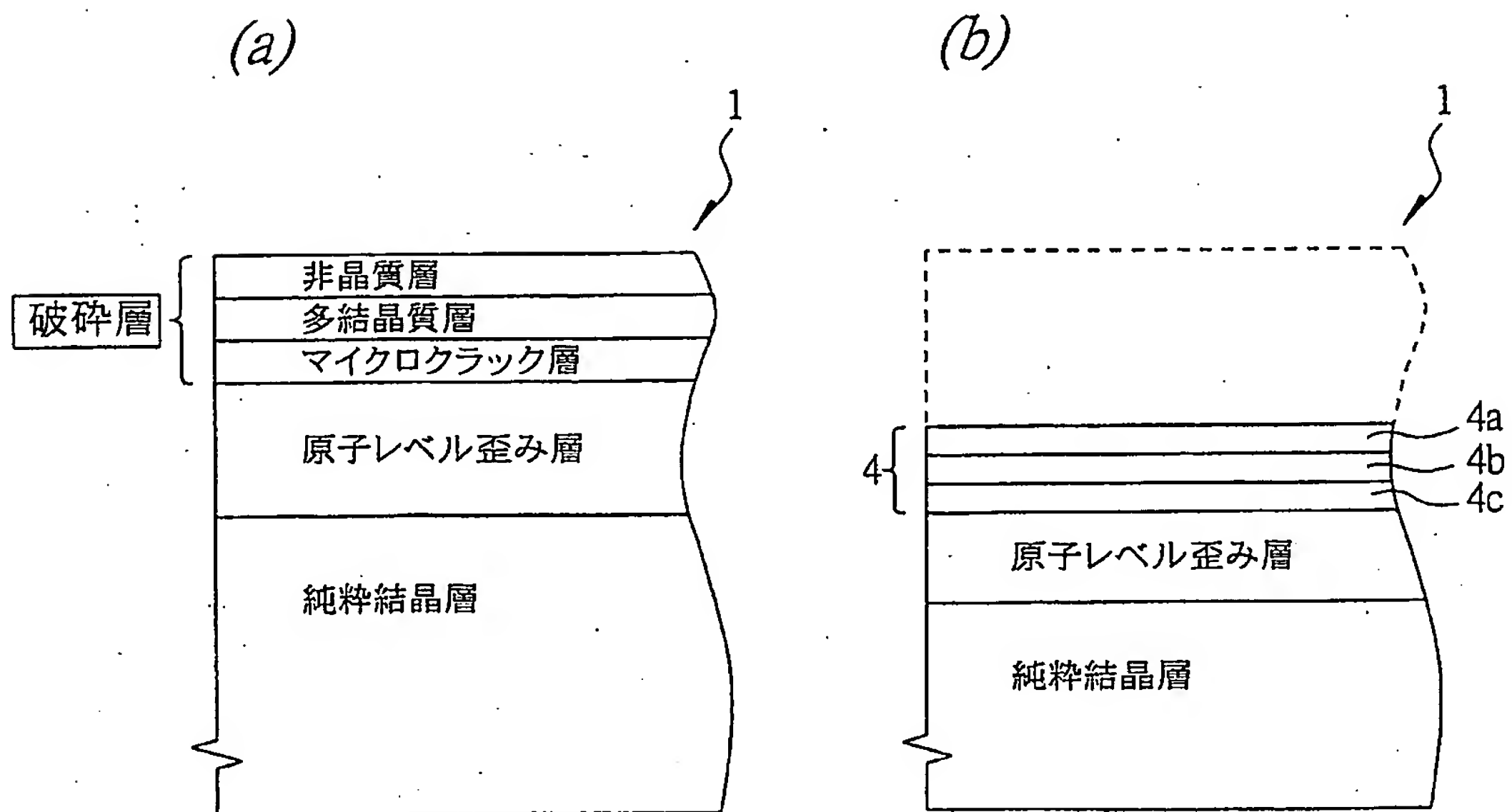


図 4

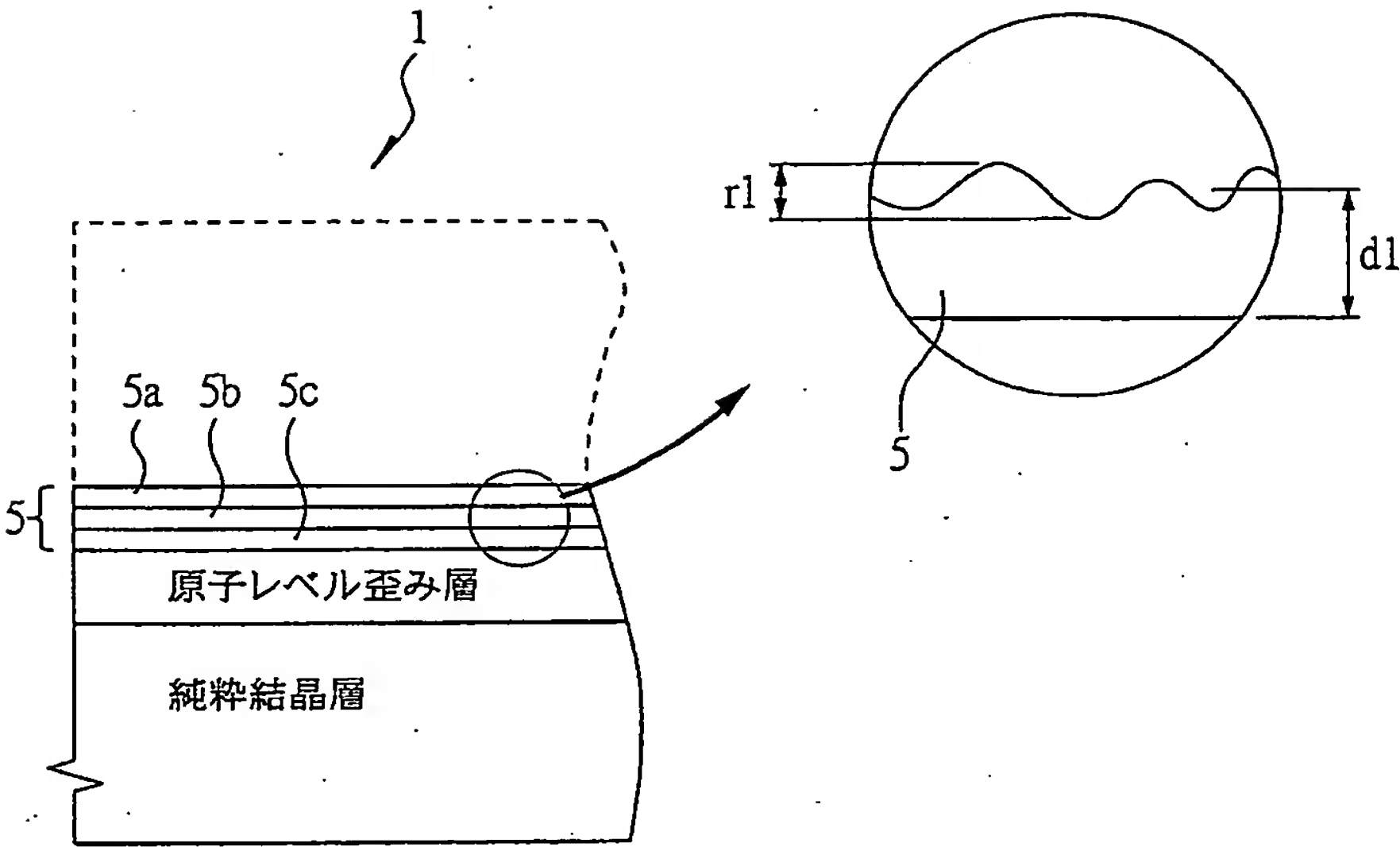
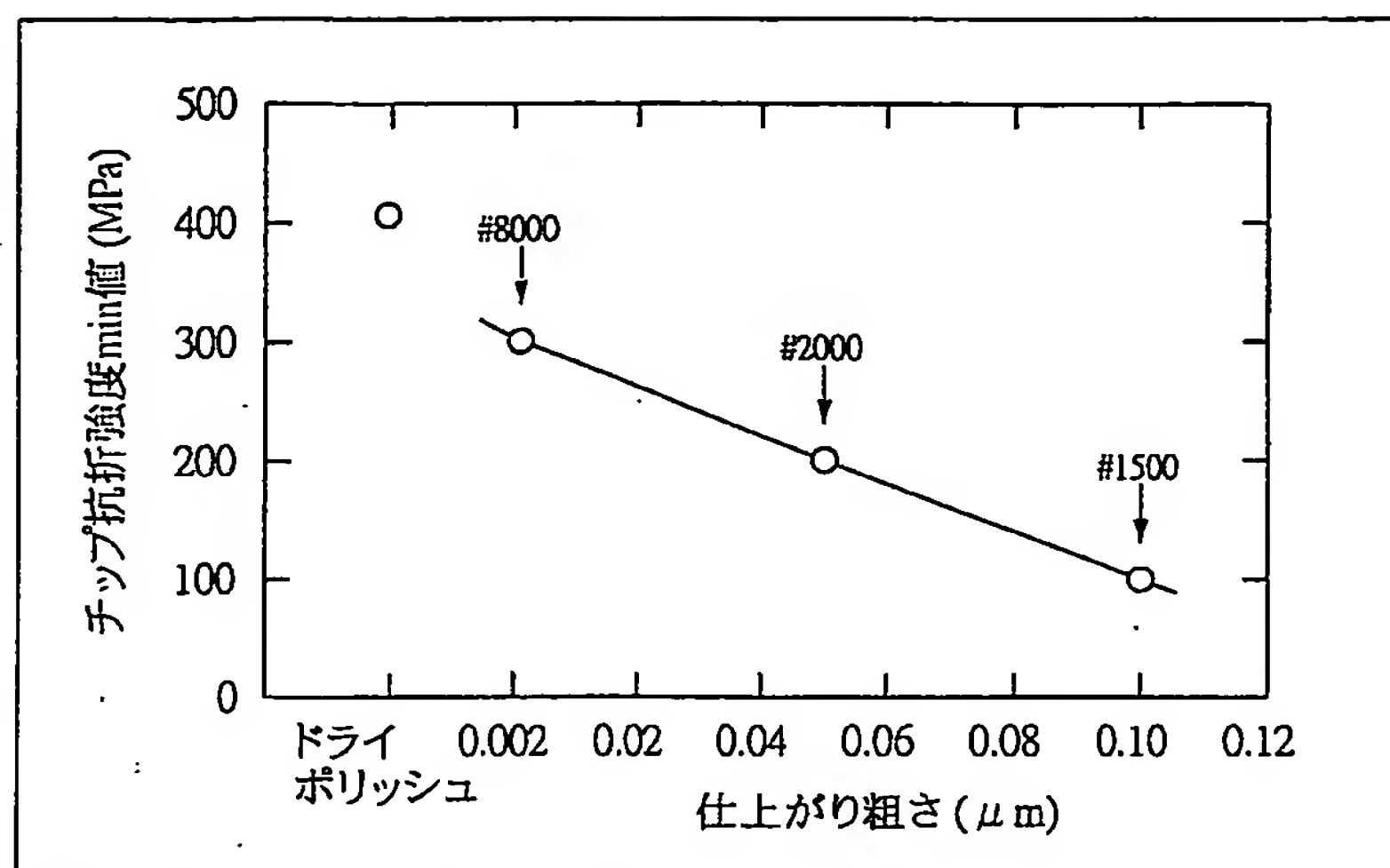
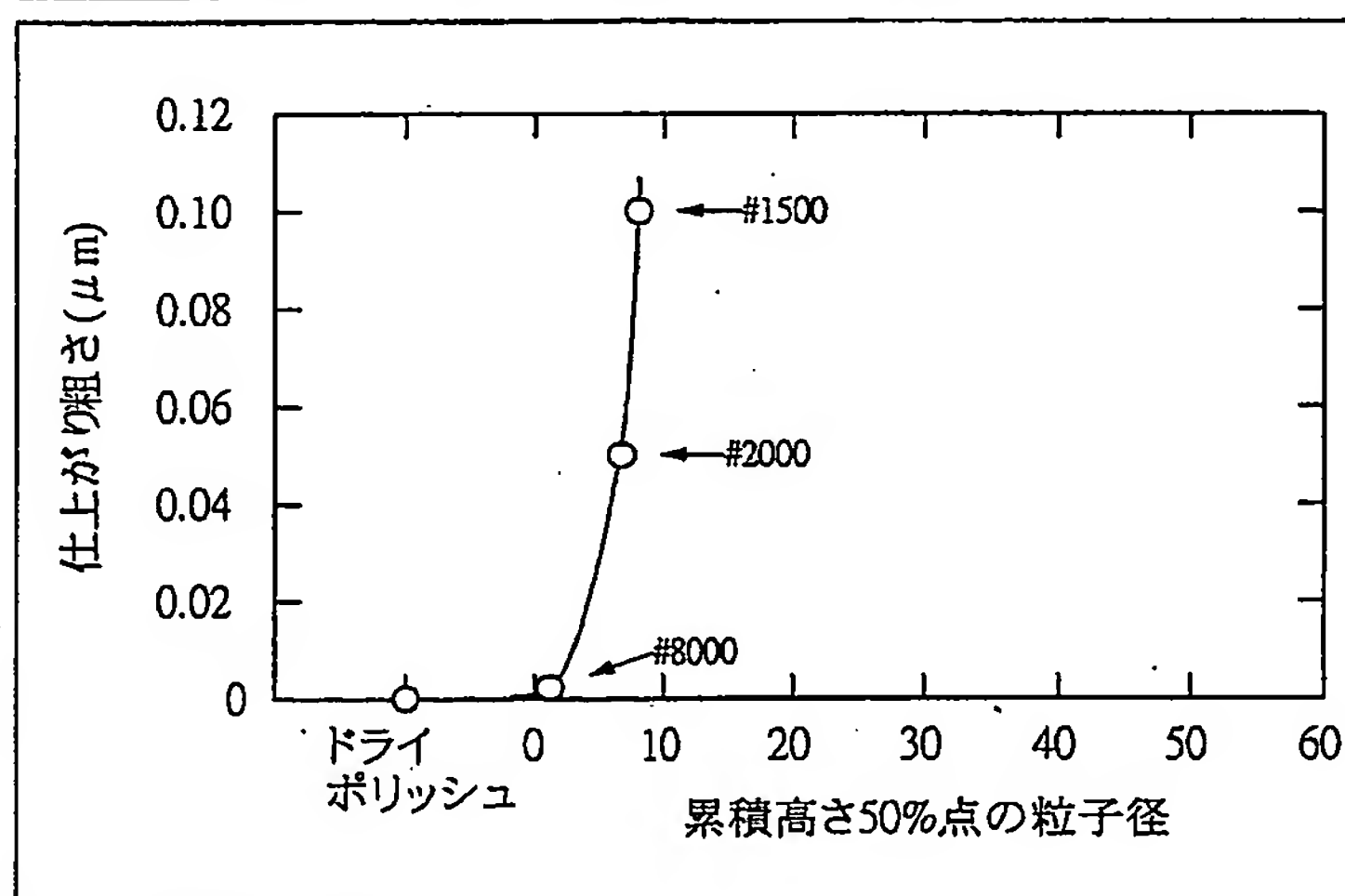


図 5

(a)



(b)



(c)

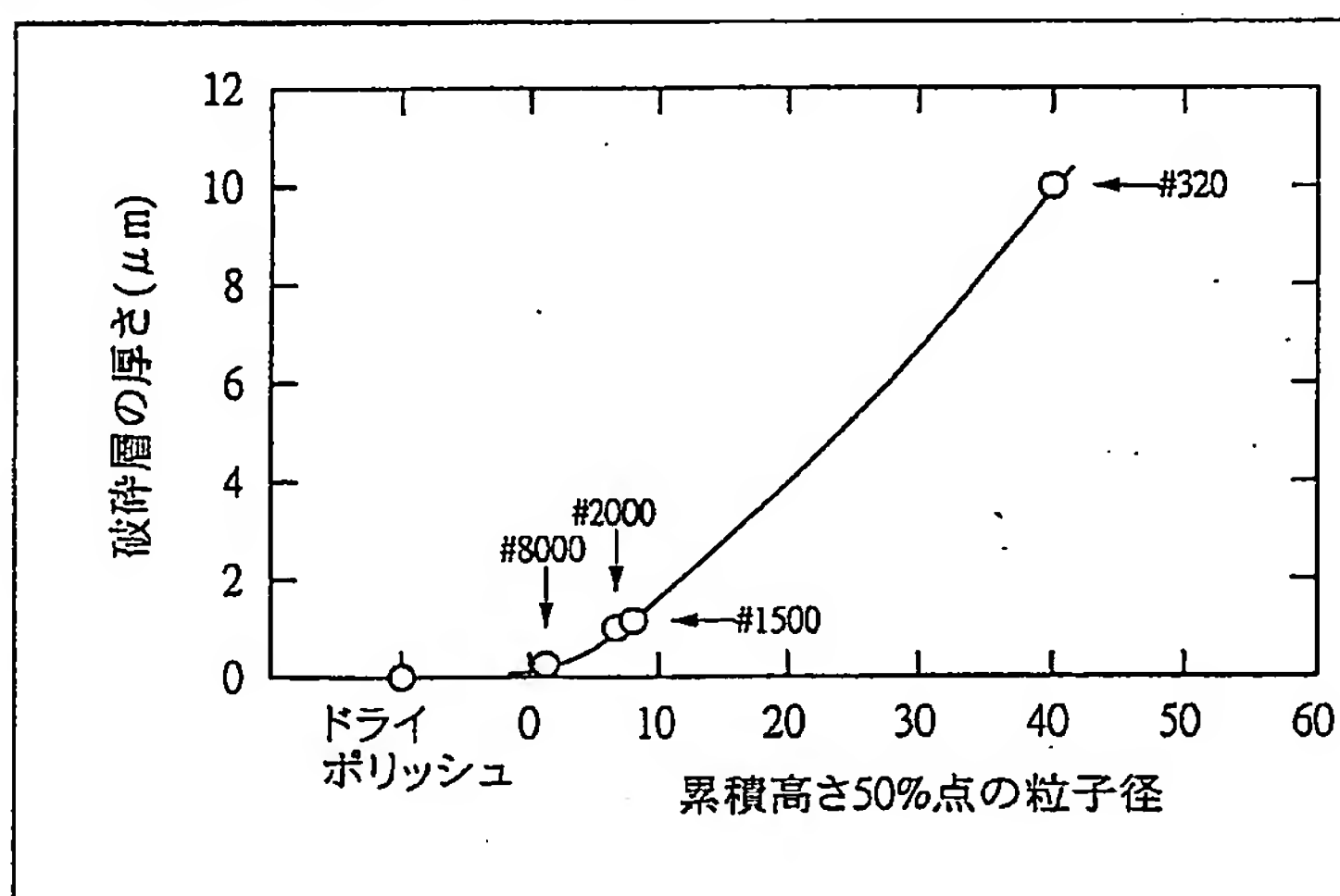


図 6

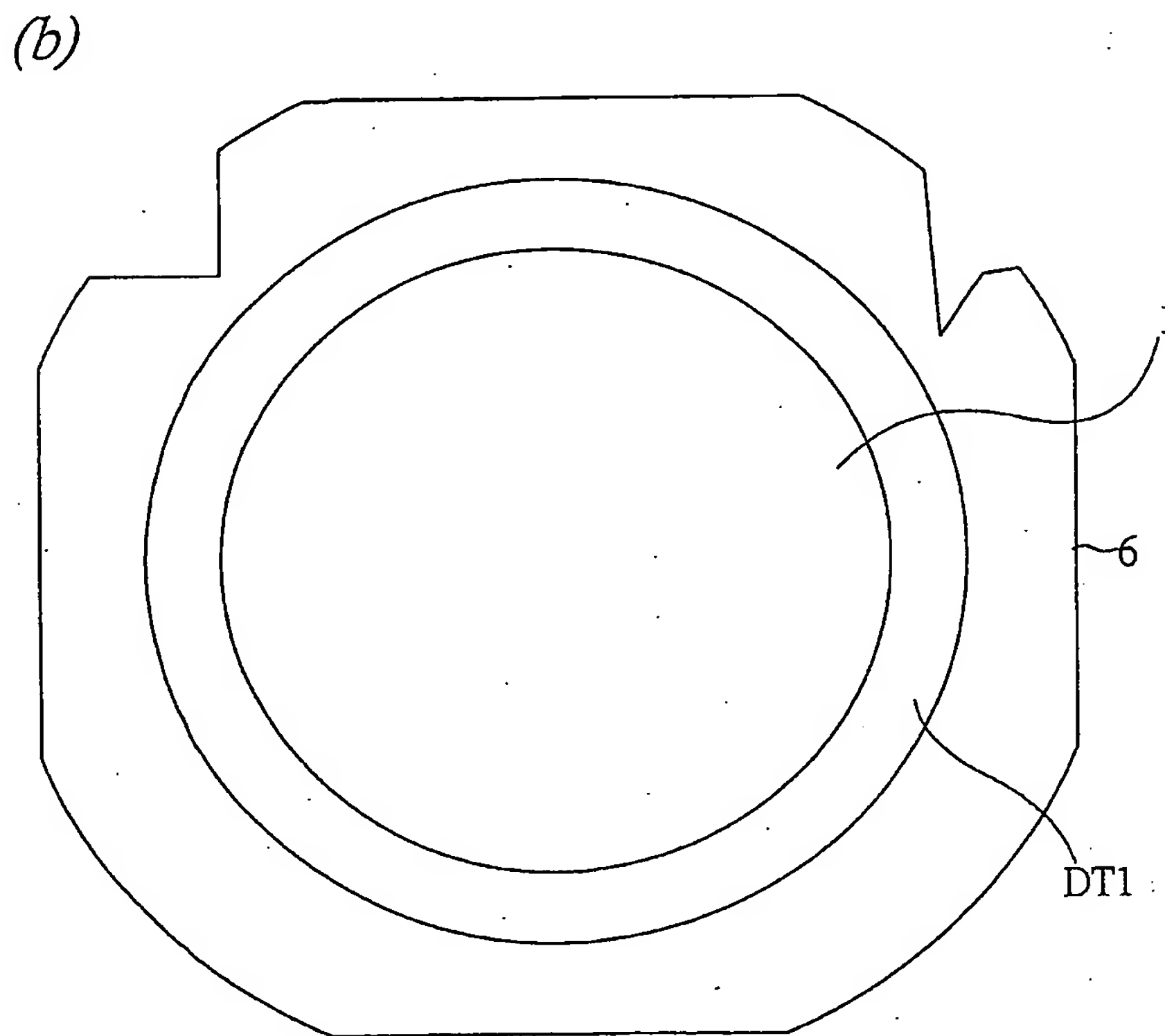
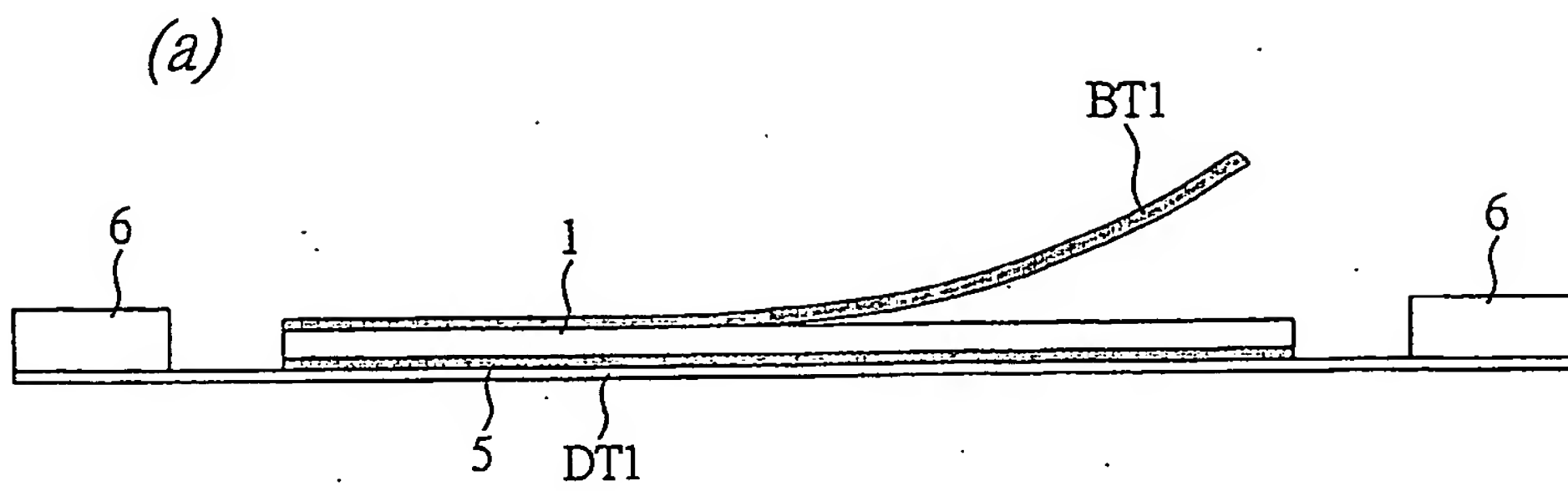


図 7

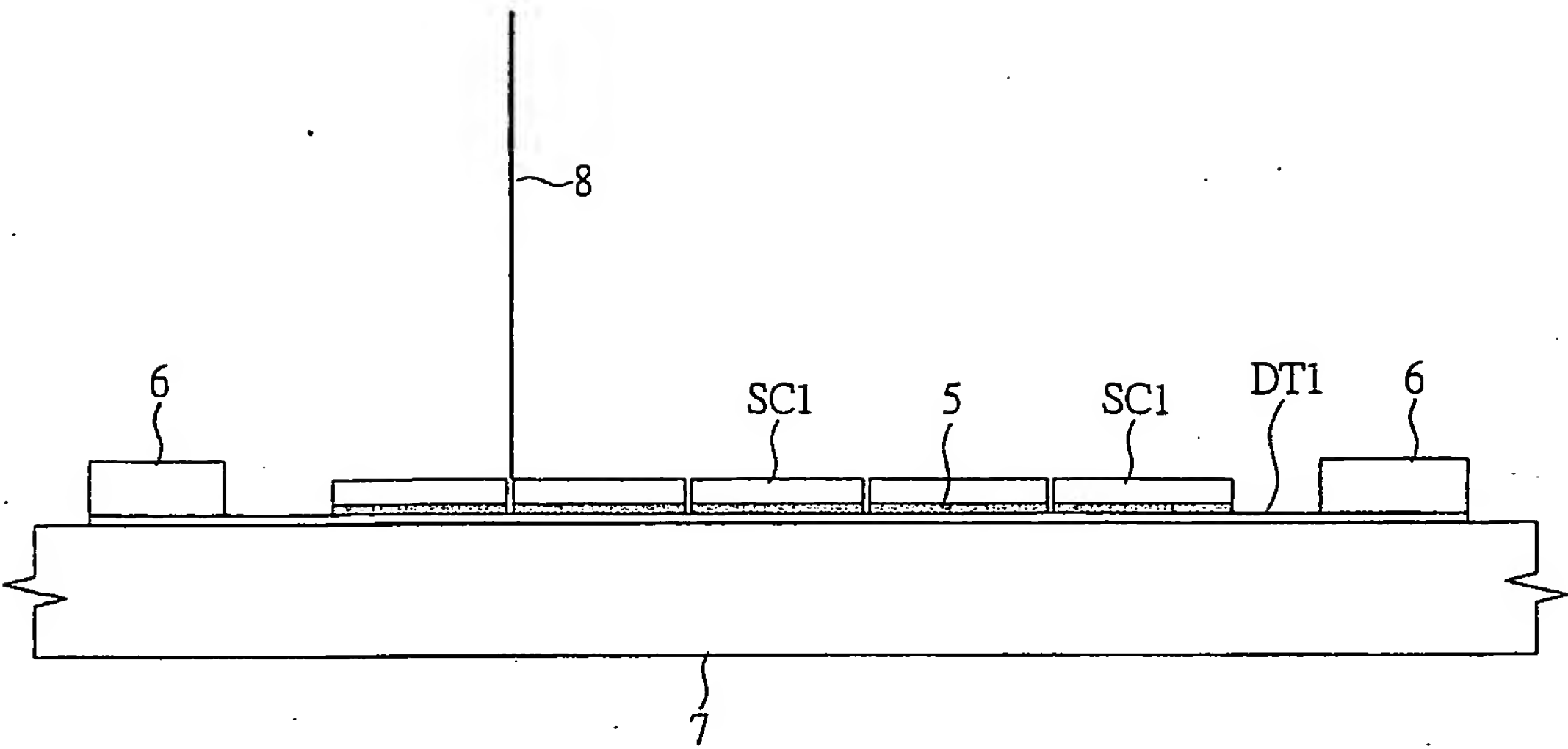


図 8

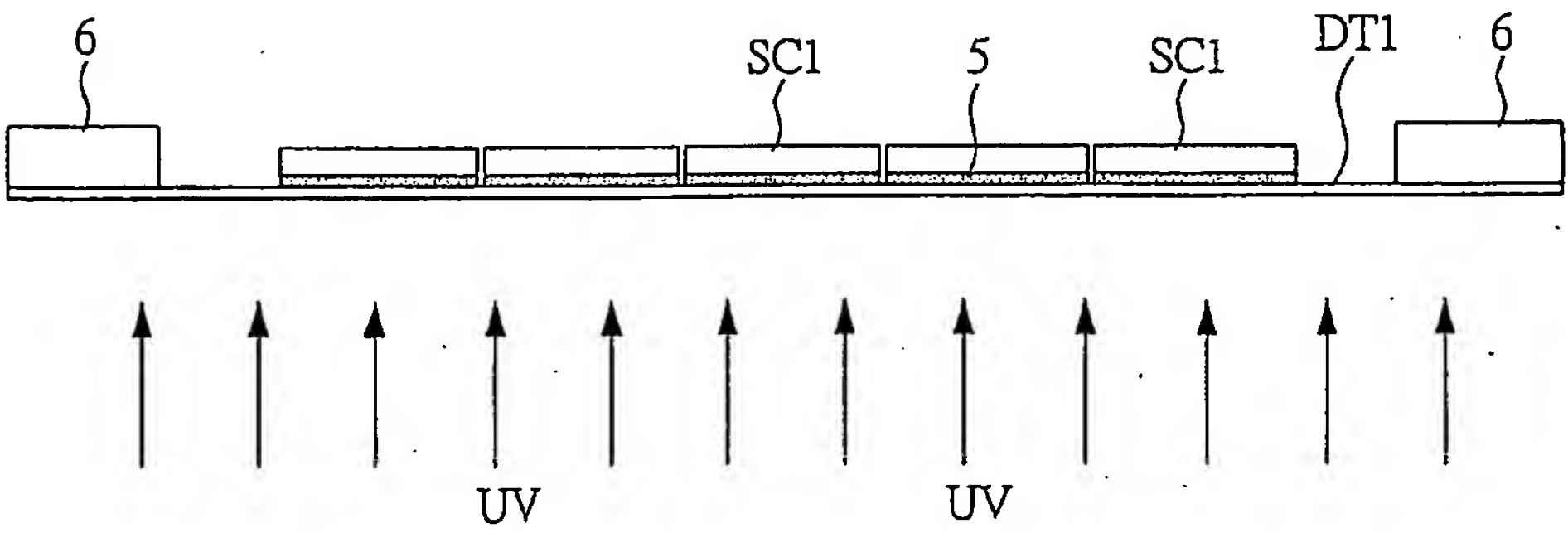


図 9

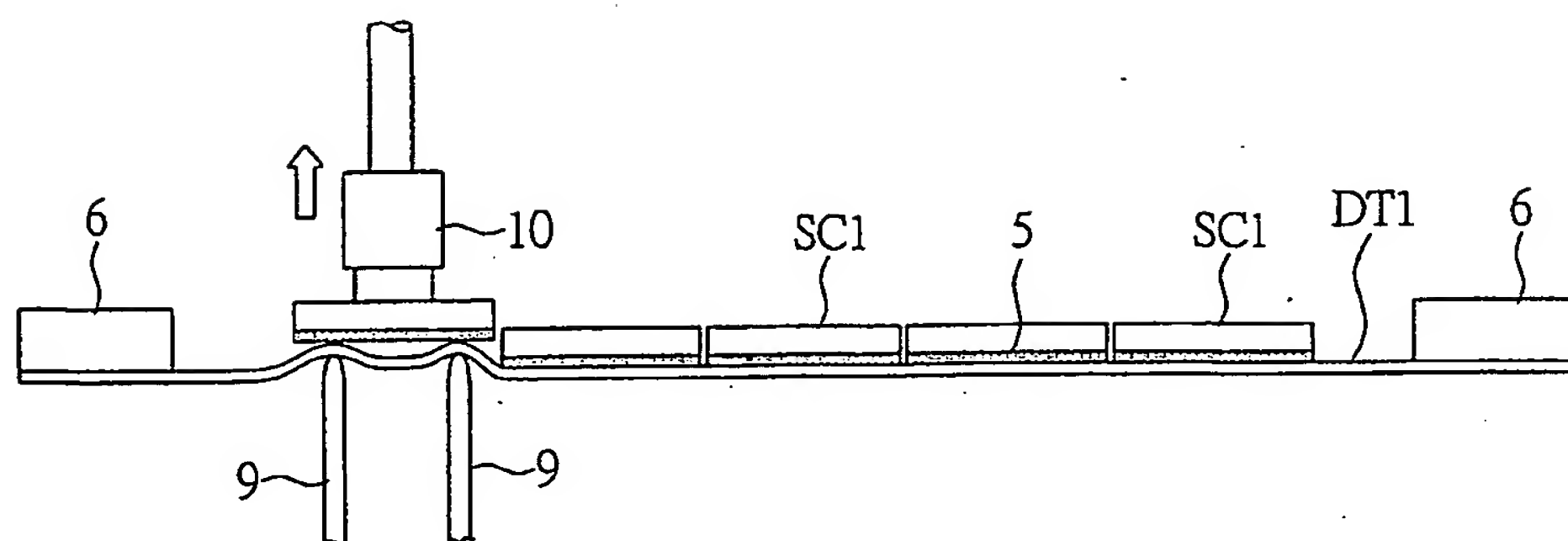


図 10

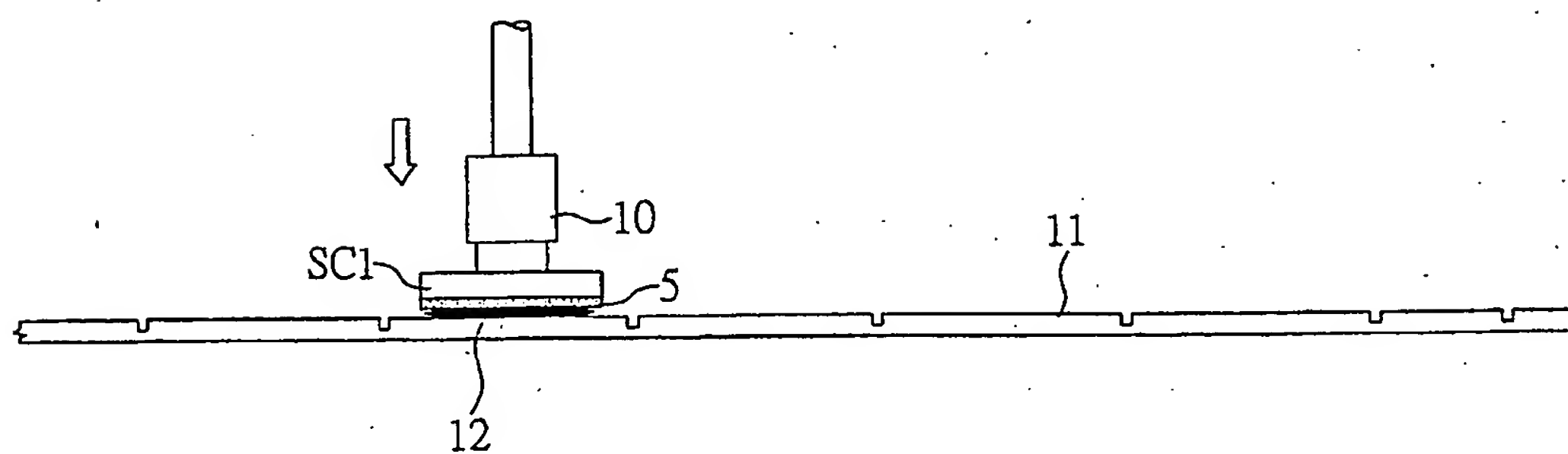


図 11

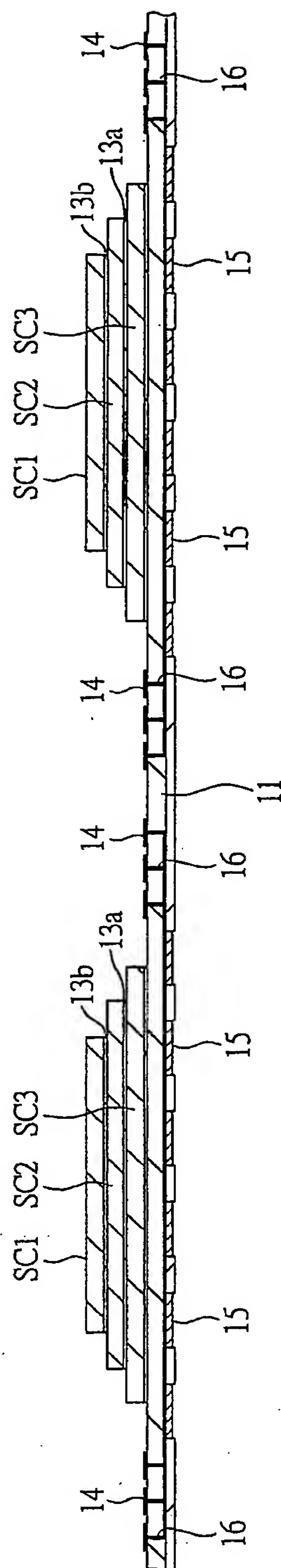


図 12

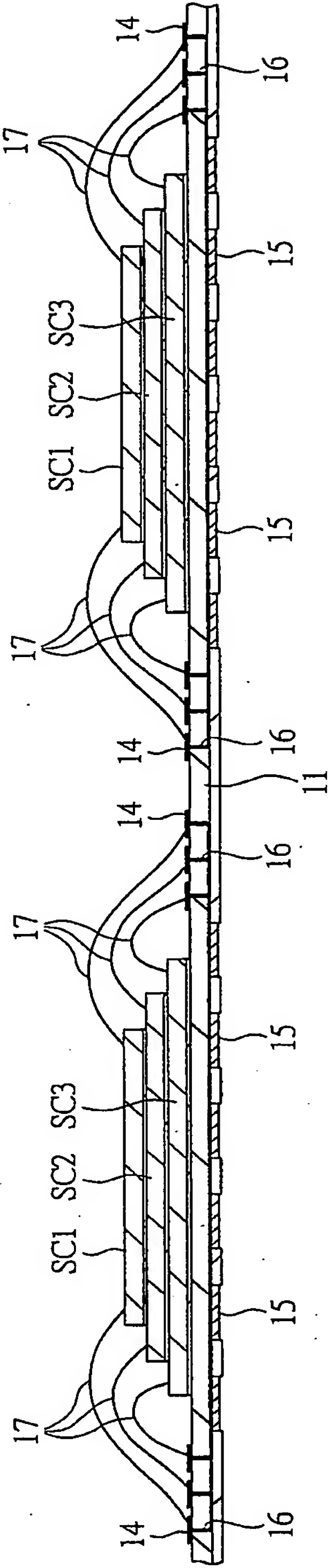
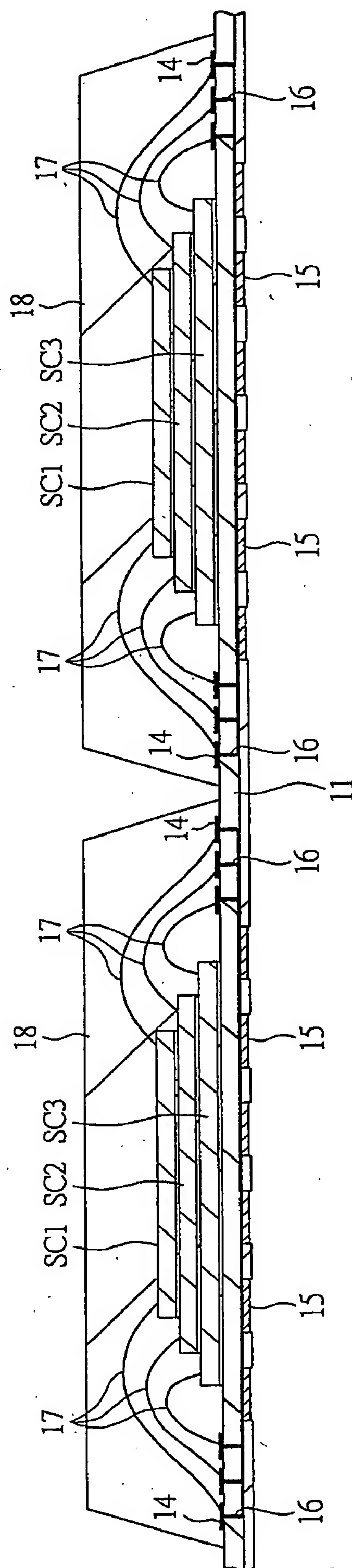


図 13



14

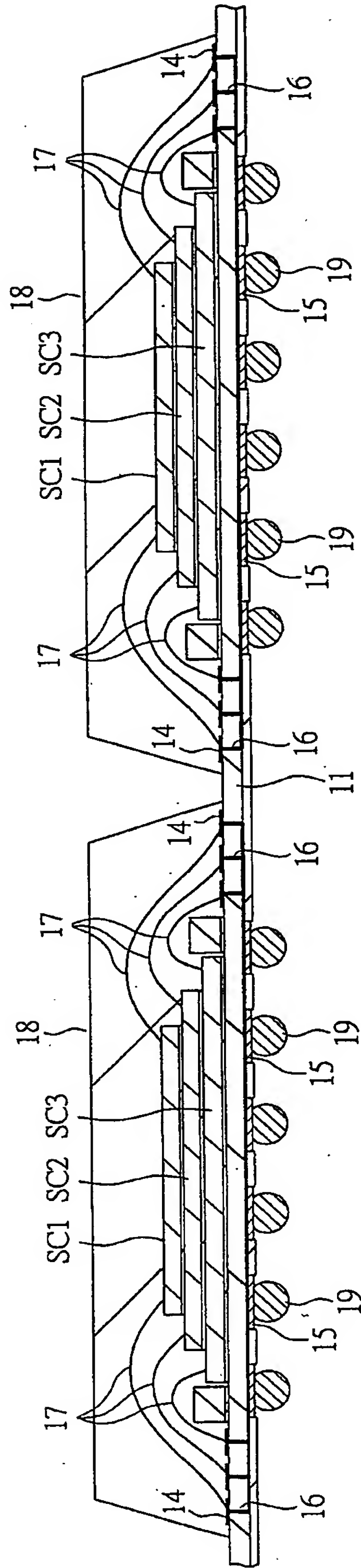


図 15

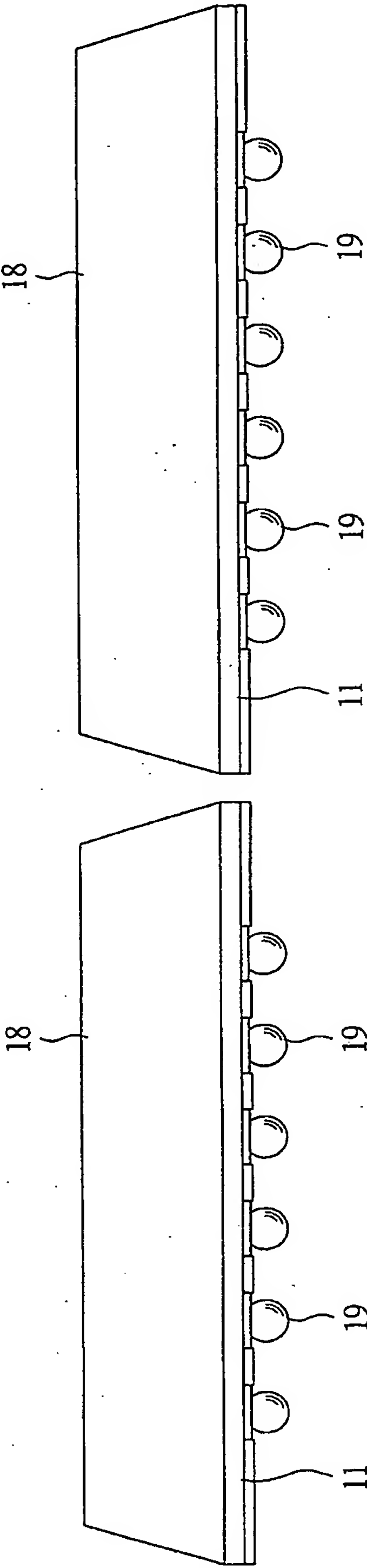


図 16

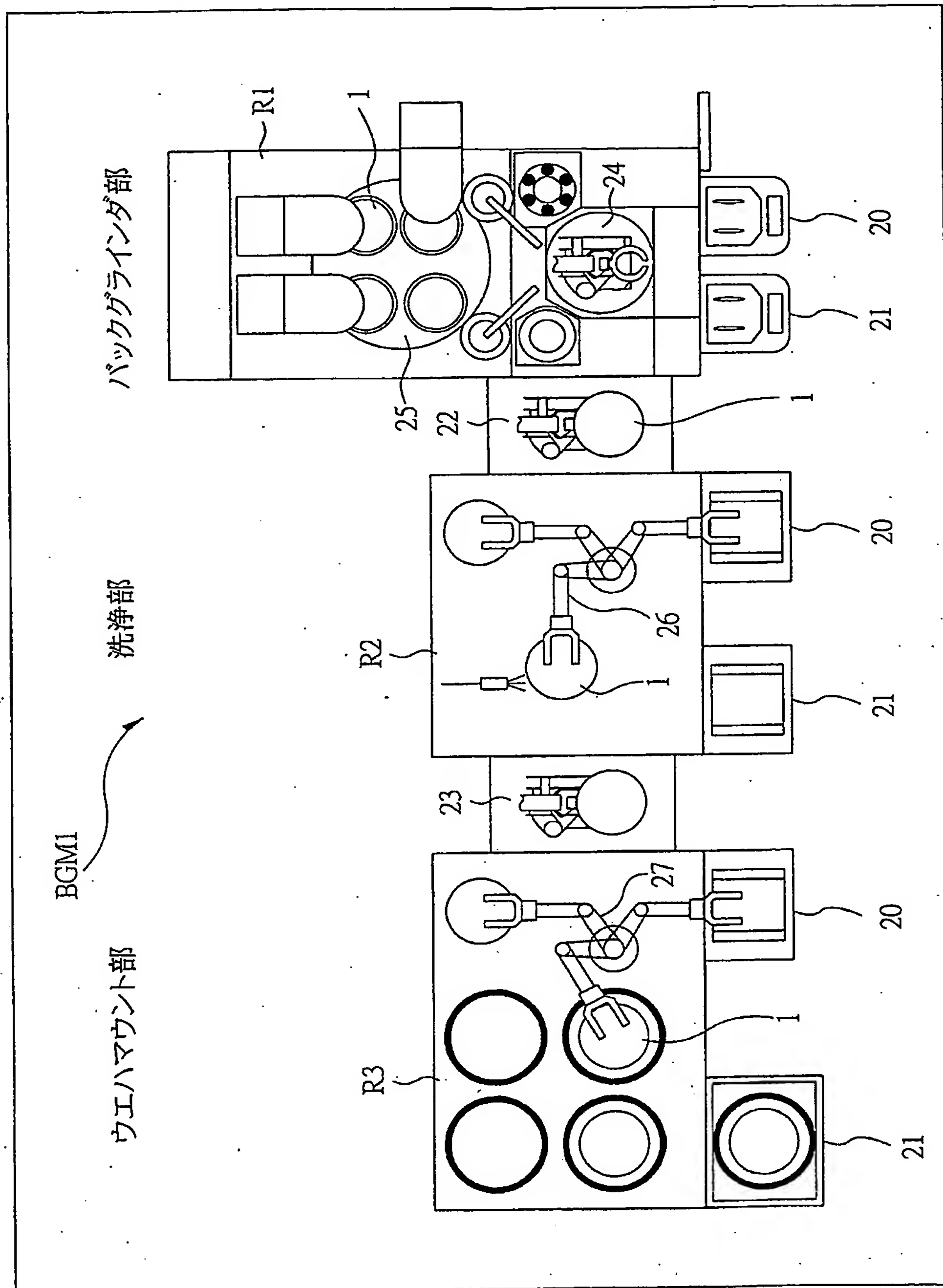


図 17

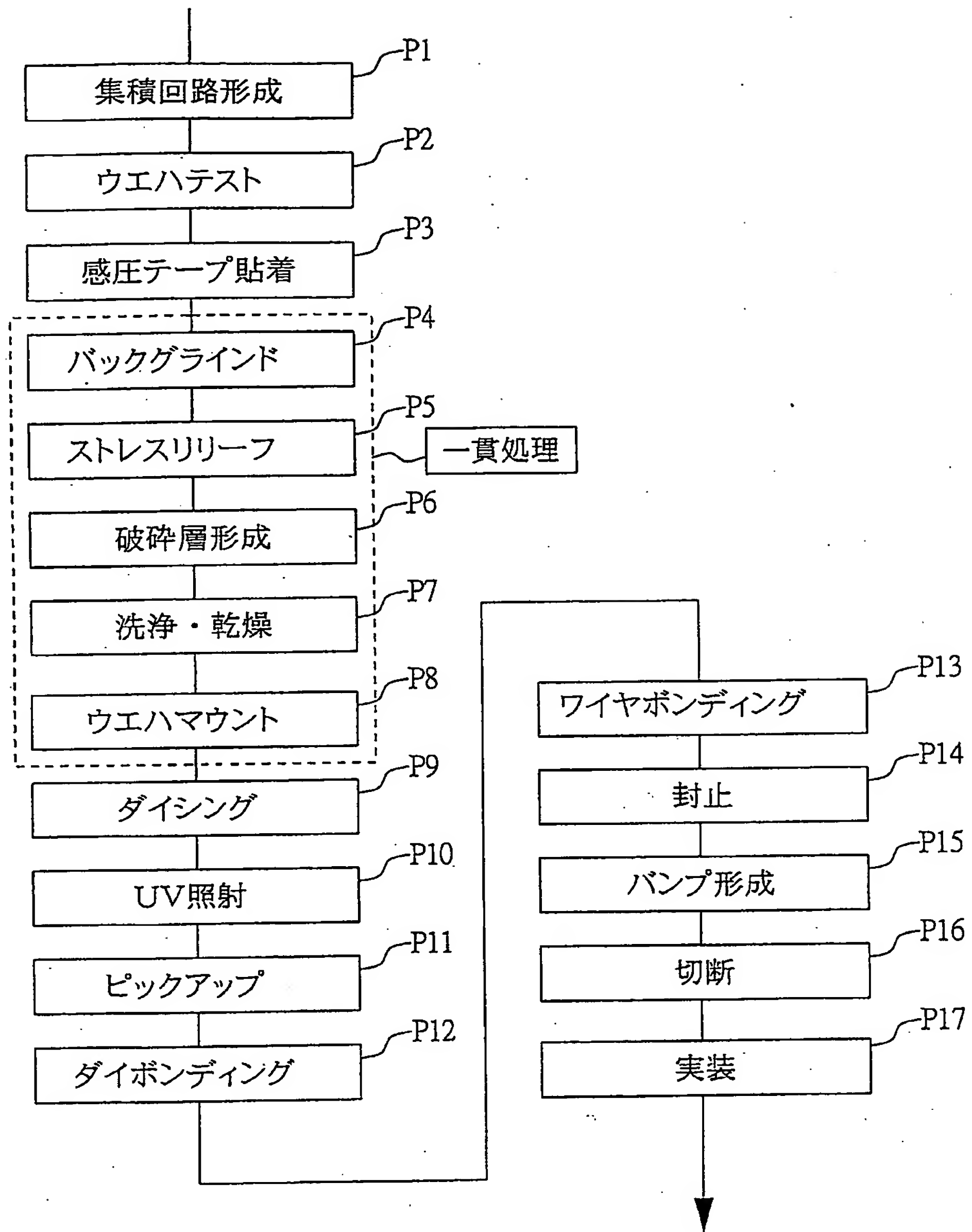


図 18

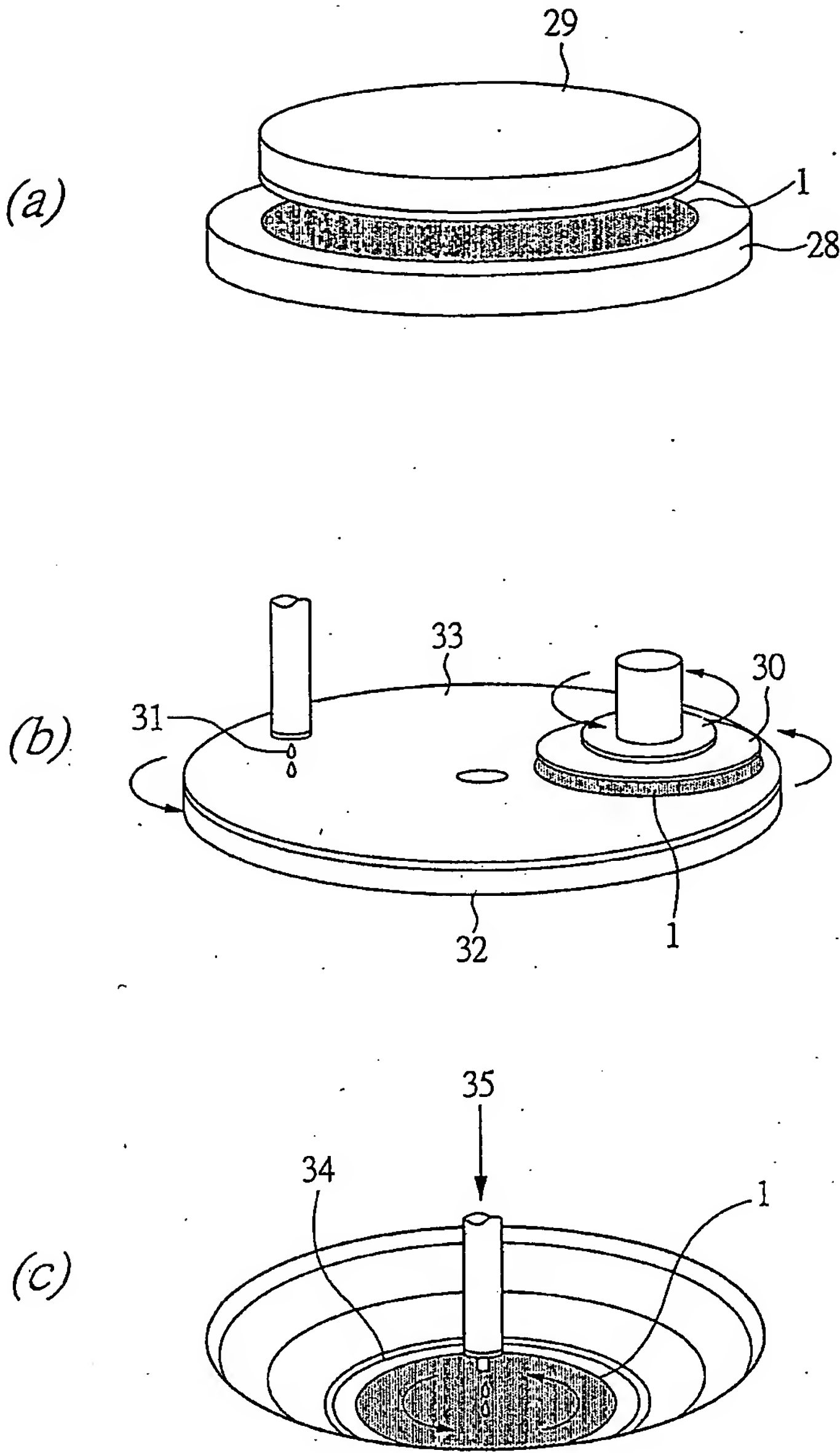


図 19

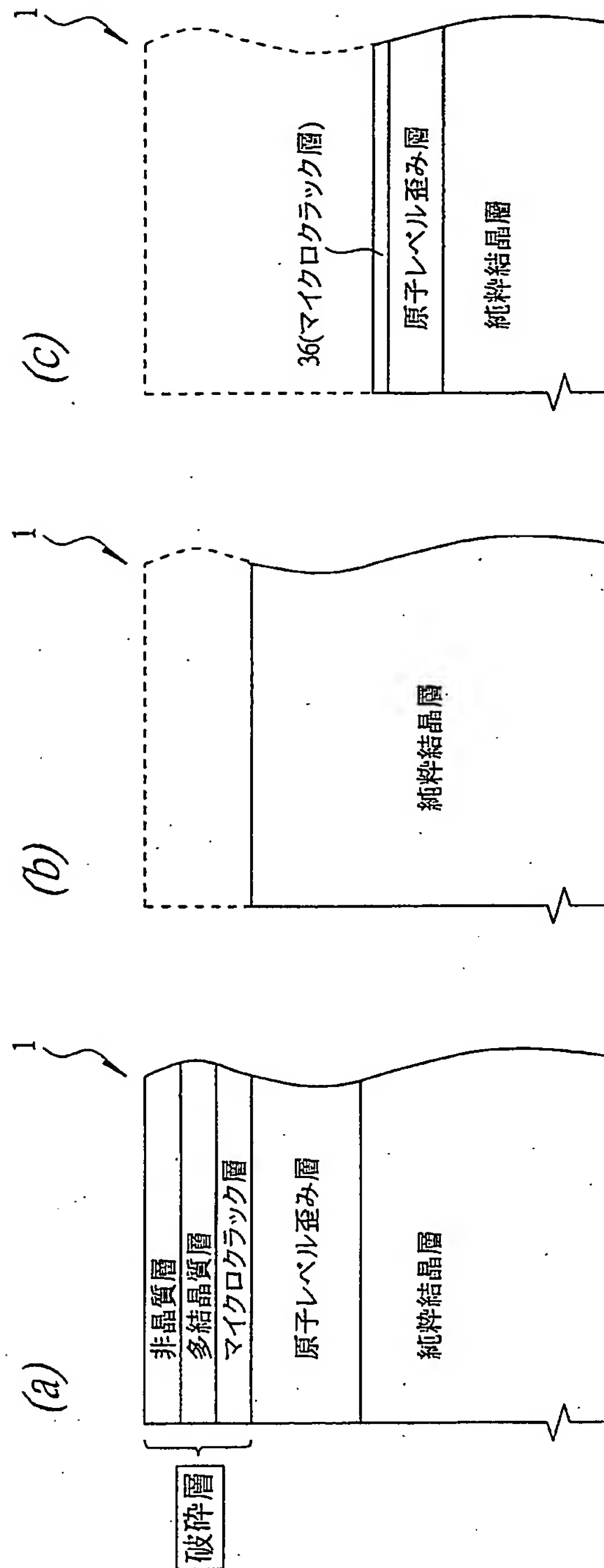


図 20

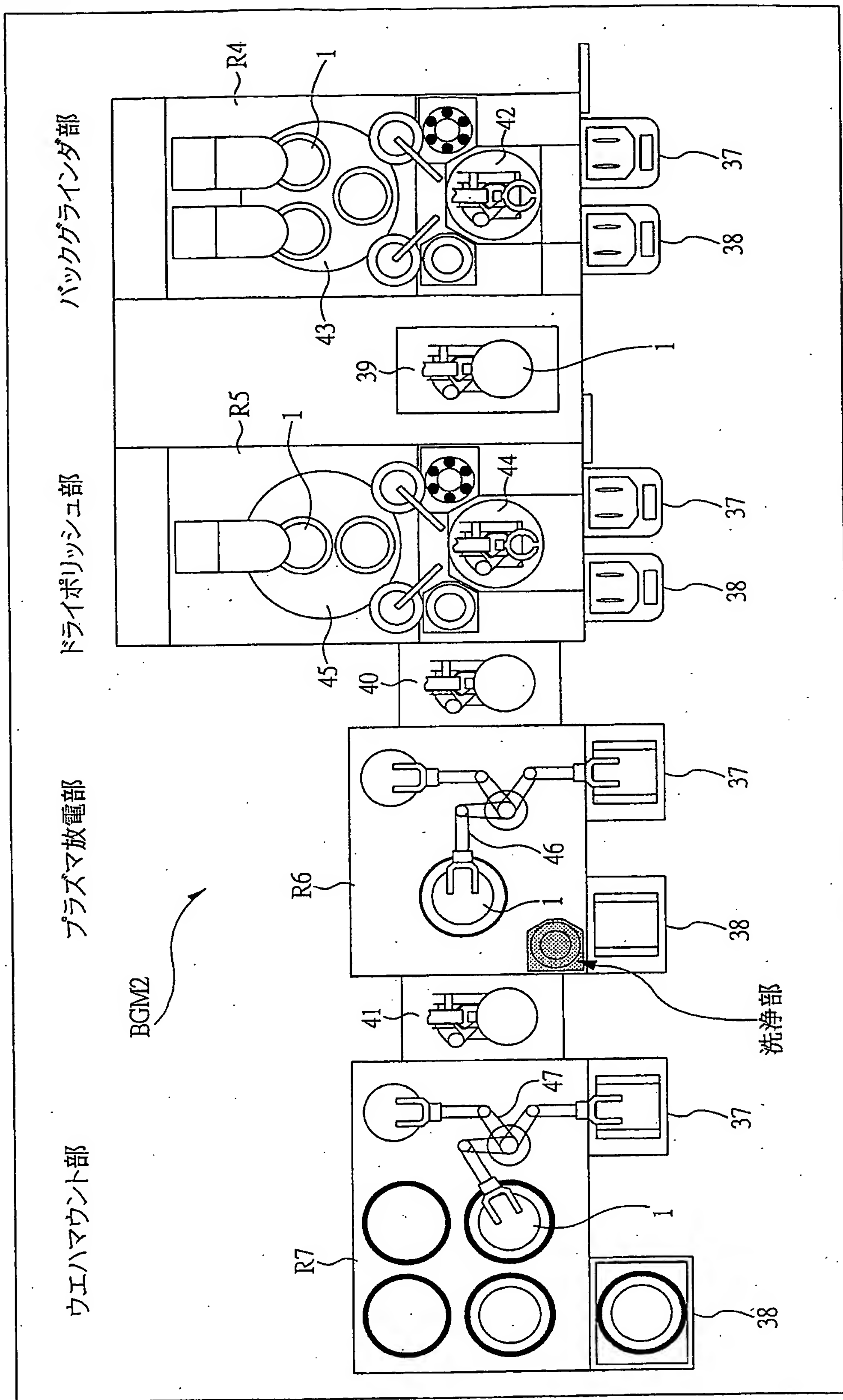
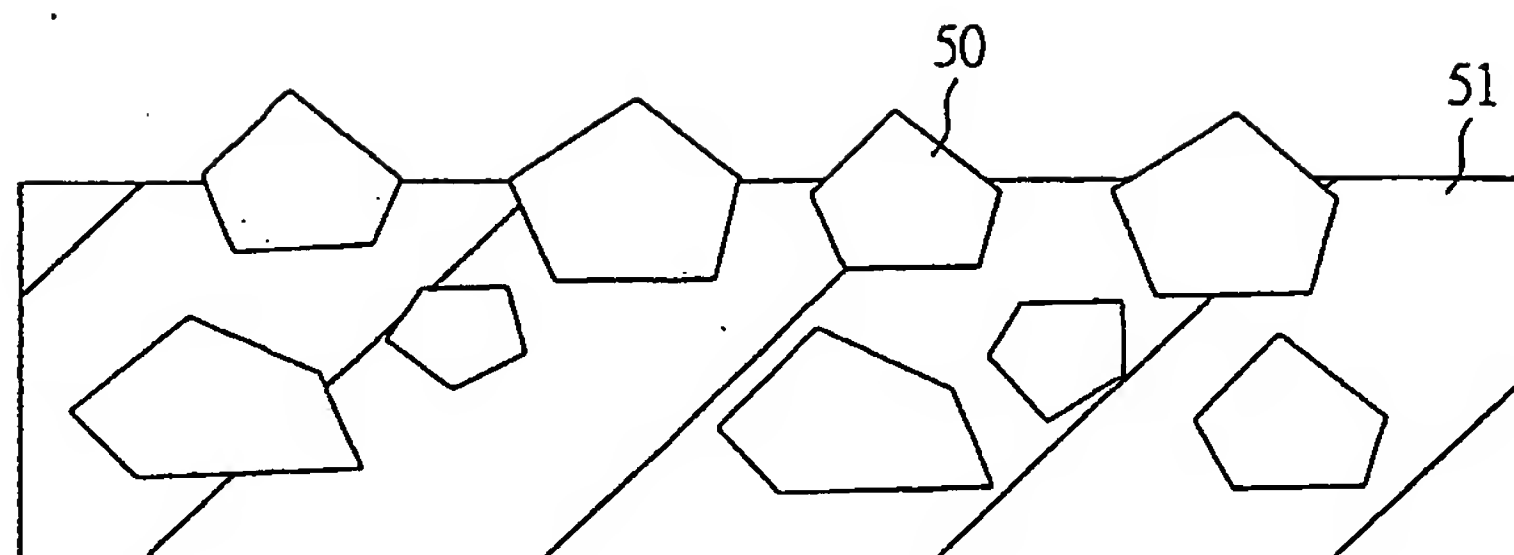


図 21



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010550

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/304

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/304

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-332276 A (Hitachi Chemical Co., Ltd.), 21 November, 2003 (21.11.03), Page 2, left column, lines 39 to 42; page 3, left column, lines 35 to 49 (Family: none)	1-3, 9-11 4-8, 12-26
Y	JP 2001-196341 A (Mitsubishi Material Silicon Kabushiki Kaisha), 19 July, 2001 (19.07.01), Page 3, left column, lines 18 to 19; page 3, left column, lines 37 to 42 (Family: none)	4-8, 12, 13



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
19 October, 2004 (19.10.04)Date of mailing of the international search report  
02 November, 2004 (02.11.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010550

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-67598 A (Fujitsu Ltd.), 19 March, 1993 (19.03.93), Page 4, right column, lines 36 to 40; page 4, right column, line 42 to 44 (Family: none)	6-8, 14-26
Y	JP 2001-110755 A (Tokyo Seimitsu Co., Ltd.), 20 April, 2001 (20.04.01), Claim 1 & EP 1091394 A2	14-26
Y	JP 7-29911 A (Toshiba Corp.), 31 January, 1995 (31.01.95), Page 3, left column, line 48 to right column, line 9 (Family: none)	14-26